

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09153546 A**

(43) Date of publication of application: **10.06.97**

(51) Int. Cl

**H01L 21/768**  
**H01L 21/285**  
**H01L 21/3065**  
**H01L 21/31**  
**H01L 21/3205**  
**H05H 1/46**

(21) Application number: **08238747**

(22) Date of filing: **10.09.96**

(30) Priority: **26.09.95 JP 07247548**

(71) Applicant: **FUJITSU LTD**

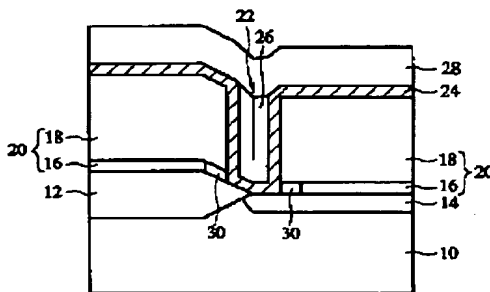
(72) Inventor:  
**IIO KOKI**  
**HASHIMOTO KOICHI**  
**NUNOFUJI WATARU**

(54) **SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce a phenomenon which has an influence upon the reliability of a semiconductor device by making the open width of an opening part formed in a first insulating film wider than that formed in the second insulating film and making a conductive film formed in the inner wall of the opening part and a conductive film formed in the bottom part of the opening part continue in the boundary.

**SOLUTION:** An element separating film 12 is formed in a semiconductor substrate 10, and a diffused layer 14 is formed in the region of an element. A layer insulating film 20 comprising an etching stopper film 16 and an insulating film 18 is formed in the semiconductor substrate 10, and therein a contact hole 22 which reaches the semiconductor substrate is perforated. A conductive film 24 which functions as a barrier metal is formed on the inner wall of the contact hole 22 and the layer insulating film 20, and a plug 26 is buried in the contact hole 22 in which it is formed. A wiring layer 28 connected to the plug 26 is formed on the layer insulating film 20.



COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-153546

(43)公開日 平成9年(1997)6月10日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L 21/90	C
	21/285		21/285	S
	21/3065		21/31	C
	21/31		H 0 5 H 1/46	B
	21/3205		H 0 1 L 21/302	E
審査請求 未請求 請求項の数14 O L (全 36 頁) 最終頁に続く				

(21)出願番号	特願平8-238747	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成8年(1996)9月10日	(72)発明者	飯尾 弘毅 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願平7-247548	(72)発明者	橋本 浩一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32)優先日	平7(1995)9月26日	(72)発明者	布藤 渉 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 北野 好人

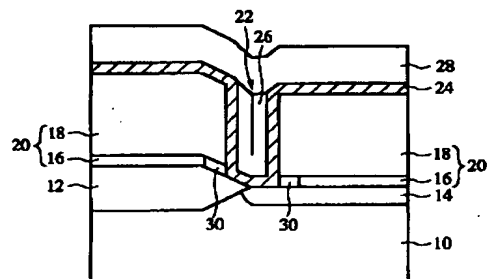
## (54)【発明の名称】 半導体装置及びその製造方法

## (57)【要約】

【課題】 半導体装置の製造技術に係り、特に、接合リーク、配線間ショート等、半導体装置の信頼性に影響を及ぼす現象を低減するSAC構造やBLC構造を有する半導体装置及びその製造方法を提供する。

【解決手段】 下地基板10と、下地基板10上に形成された第1の絶縁膜16と、第1の絶縁膜16上に形成された第2の絶縁膜18よりなり、下地基板10に達する開口部22が形成された層間絶縁膜20と、開口部22の内壁及び底部に形成された導電性膜24とを設け、第1の絶縁膜16に形成された開口部22の開口幅を第2の絶縁膜18に形成された開口部の開口幅よりも広くし、開口部22内壁に形成された導電性膜24と開口部22底部に形成された導電性膜24とが境界で連続するように構成する。

本発明の第1実施形態による半導体装置の構造を示す概略断面図



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
24…導電性膜  
26…パッド  
28…圧縮層  
30…穿孔

## 【特許請求の範囲】

## 【請求項1】 下地基板と、

前記下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜よりなり、前記下地基板に達する開口部が形成された層間絶縁膜と、前記開口部の内壁及び底部に形成された導電性膜とを有し、

前記第1の絶縁膜に形成された前記開口部の開口幅は、前記第2の絶縁膜に形成された前記開口部の開口幅よりも広く、

前記開口部内壁に形成された前記導電性膜と、前記開口部の底部に形成された前記導電性膜とが境界で連続していることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記導電性膜は、前記第2の絶縁膜下の、前記第1の絶縁膜に形成された前記開口部内に埋め込まれていることを特徴とする半導体装置。

## 【請求項3】 下地基板と、

前記下地基板上に形成され、深さによって開口幅が異なる開口部が形成された層間絶縁膜と、

前記開口部の内壁及び底部に形成された導電性膜とを有し、

前記開口部の底部の開口幅が、前記開口部における最小の開口幅とほぼ等しく、

前記開口部の底部の前記下地基板は前記導電性膜により覆われていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記層間絶縁膜は、前記下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第3の絶縁膜よりなり、

前記第2の絶縁膜に形成された前記開口部の開口幅は、前記第3の絶縁膜に形成された前記開口部の開口幅よりも広く、

前記第1の絶縁膜に形成された前記開口部の開口幅は、前記第3の絶縁膜に形成された前記開口部の開口幅とほぼ等しいことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかに記載の半導体装置において、

前記下地基板は、少なくとも一層の配線層を更に有することを特徴とする半導体装置。

【請求項6】 下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、

前記第1の絶縁膜上に、第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、

前記第2の絶縁膜を異方性エッチングすることにより、前記第1の絶縁膜に達する開口部を形成する第1の開口部形成工程と、

前記開口部内の前記第1の絶縁膜を、横方向にもエッチ

ングが進行する方法により除去することにより、前記開口部を前記下地基板上まで開口すると同時に、前記第2の絶縁膜下の前記第1の絶縁膜をエッチングして空隙を形成する第2の開口部形成工程と、

前記開口部内に前記下地基板が露出しないように、少なくとも前記空隙の開口部を塞ぐ導電性膜を前記開口部内に堆積する導電性膜堆積工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記導電性膜堆積工程では、前記導電性膜をコリメートスパッタ法により堆積することを特徴とする半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

前記導電性膜堆積工程では、前記開口部の底部における前記導電性膜の膜厚が、前記第1の絶縁膜よりも厚くなるように前記導電性膜を堆積することを特徴とする半導体装置の製造方法。

【請求項9】 請求項6記載の半導体装置の製造方法において、

前記導電性膜堆積工程では、前記導電性膜をCVD法により堆積することを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

前記導電性膜堆積工程では、前記開口部の底部における前記導電性膜の膜厚が、前記第1の絶縁膜の膜厚の1/2以上となるように前記導電性膜を堆積することを特徴とする半導体装置の製造方法。

【請求項11】 下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、

前記第2の絶縁膜上に、前記第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、

前記第3の絶縁膜を異方性エッチングすることにより、前記第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、

前記開口部内の前記第2の絶縁膜を、横方向にもエッチングが進行する方法により除去することにより、前記開口部を前記第1の絶縁膜上まで開口する第2の開口部形成工程と、

前記開口部内の前記第1の絶縁膜を異方性エッチングすることにより、前記開口部を前記下地基板上まで開口する第3の開口部形成工程と、

少なくとも前記開口部内に露出した前記下地基板を覆うように導電性膜を堆積する導電性膜堆積工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、

前記第3の開口部形成工程では、前記第1の絶縁膜をエッチングする際のオーバーエッチング量を約50%以下に設定することを特徴とする半導体装置の製造方法。

【請求項13】 請求項6乃至12のいずれかに記載の半導体装置の製造方法において、

前記下地基板は、少なくとも一層の配線層を更に有することを特徴とする半導体装置の製造方法。

【請求項14】 下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、

前記第1の絶縁膜上に、前記第1の絶縁膜より厚く、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、

前記第2の絶縁膜上に、前記第2の絶縁膜より厚く、前記第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、

前記第3の絶縁膜を、前記第2の絶縁膜をストップとしてエッチングし、前記第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、

前記開口部内の前記第2の絶縁膜を、前記第1の絶縁膜をストップとしてエッチングし、前記開口部を前記第1の絶縁膜上まで開口する第2の開口部形成工程と、

前記開口部内の前記第1の絶縁膜をエッチングし、前記開口部を前記下地基板上まで開口する第3の開口部形成工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置における配線技術に係り、特に、高集積化に好適な構造の配線構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】LSIの大規模化に伴い、素子の微細化が追求されている。より微細な寸法のゲート、配線、コンタクトホールを有する半導体集積回路を実現するために、従来より、フォトリソグラフィにおける露光波長を短波長化して解像力を向上することが行われている。

【0003】このようにして最小解像寸法を縮小する一方で、リソグラフィ工程間の位置合わせマージンを小さくするデバイス構造が種々検討されており、形成するパターンの寸法を縮小せずにデバイスの寸法を小さくすることが試みられている。このようなデバイス構造としては、例えば、セルフアラインコンタクト (Self-Align Contact: 以下、SACと呼ぶ) 或いはボーダレスコンタクト (Borderless Contact: 以下、BLCと呼ぶ) 等がある。

【0004】従来のSAC構造について、SAC構造を用いない場合と比較して説明する。図30(a)に示すように、半導体基板10上に2本のゲート電極40が形

成されており、その上層に層間絶縁膜20が形成されている場合において、2本のゲート電極40との間を通して半導体基板10までコンタクトホール22を開口する場合、コンタクトホール22を開口する際の位置合わせ精度を考慮して、予めゲート電極40を配置する必要がある。

【0005】即ち、コンタクトホール22に導電膜を埋め込んだ際に導電膜とゲート電極40とが短絡しないように、コンタクトホール22とゲート電極40との間隔aは少なくとも位置合わせ精度以上は確保しなければならない(図30(b))。従って、ゲート電極40の間隔がコンタクトホール22に影響され、これ以上の微細化が困難となる。

【0006】これに対し、SAC構造の場合には、図30(c)に示すように、ゲート電極40は、層間絶縁膜20とエッチング選択性のある絶縁膜38で覆われている。このため、層間絶縁膜20をエッチングするときには絶縁膜38はエッチングされず、コンタクトホール22に導電膜を埋め込んだ場合にも導電膜とゲート電極40とが短絡することはない。

【0007】従って、コンタクトホール22を形成するリソグラフィ工程において位置ずれが生じた場合にも、半導体基板10の開口部はゲート電極40と絶縁膜38によってのみ決定されるので、図30(d)に示すように、ゲート電極40とコンタクトホール22とを、位置合わせを考慮せずに配置することができる。これにより、素子の微細化が可能となる。

【0008】なお、SAC構造は、例えば、特開昭61-292323号公報、特開平4-106929号公報、'94 Symp. VLSI Tech., Tech. Dig., pp.99-100に開示されている。次に、従来のBLC構造について、BLC構造を用いない場合と比較して説明する。

【0009】図31(a)に示すように、半導体基板10上に素子分離膜12が形成されており、その上層に層間絶縁膜20が形成されている場合において、素子分離膜12近傍にコンタクトホール22を開口する場合、位置ずれが生じた場合にも素子分離膜12上にコンタクトホール22が位置しないように、コンタクトホール22と素子分離膜12とを離間しなければならない。

【0010】すなわち、素子分離膜上にコンタクトホール22が位置すると、コンタクトホール22を開口する際のエッチングにおいて素子分離膜12がエッチングされてしまい、コンタクトホール22に導電膜を埋め込んだ際に、導電性膜24と半導体基板10との間で接合ショートが発生するからである(図31(b))。これに対し、BLC構造の場合には、図31(c)に示すように、エッチング選択性の異なる絶縁膜16、18により層間絶縁膜20が形成されている。このとき、素子分離膜12と接する絶縁膜16のエッチング選択性が、素子分離膜12に対して十分得られる材料を選択すれば、コ

10

20

30

40

50

ンタクトホール22を半導体基板10表面まで開口する際にも素子分離膜12はエッチングされないの、コンタクトホール22に埋め込む導電膜と半導体基板10との間における接合ショートを防止することができる。

【0011】従って、BLC構造にすれば、素子分離膜12とコンタクトホール22とが重なる場合にも接合ショートを防止できるので、素子分離膜12とコンタクトホール22との位置合わせ余裕を考慮する必要がなく、例えば、図31(d)に示すようにコンタクトホール22を配置することができる。これにより、素子の微細化が可能となる。

#### 【0012】

【発明が解決しようとする課題】しかしながら、上記従来のBLC構造を用いた半導体装置には次のような問題があった。すなわち、絶縁膜16をエッチングする際には、素子分離膜12との選択比をとるためにウェットエッチングを用いることが望ましいが、絶縁膜16を除去するウェットエッチングは等方性のエッチングであるため、絶縁膜18下の絶縁膜16までエッチングされ、空孔30が形成される(図32(a))。このように形成された空孔30は従来のスパッタ法によっては被覆できないため、導電性膜24を堆積した後も残存する(図32(b))。このため、次工程のコンタクト形成プロセスでW埋め込み法を使用してプラグ26を形成した場合、ソースガスであるWF<sub>6</sub>が空孔部分より侵入してワームホールと呼ばれる基板浸食が生じ、ソース/ドレイン拡散層14部で接合破壊が発生することがあった(図32(c))。

【0013】また、上記Wプラグの代わりにCVD法により堆積したAl(アルミニウム)を配線材料として用いた場合には、空孔30内においてAlと半導体基板とが直接接触することになるため、後工程の熱処理によってAlと半導体基板とが反応し、ソース/ドレイン拡散層14に接合破壊をもたらすことがあった(図33(a))。

【0014】また、配線材料としてCuを用いた場合にも同様であった。特に、Cuの場合には半導体基板中に拡散すると深い準位を形成するため、トランジスタの特性を著しく劣化させることがあった。また、Cuはシリコン酸化膜中を拡散しやすいため、Cuがゲート酸化膜34に達すると、ゲート電極40-半導体基板10間のリーク電流を増加することもあった(図33(b))。

【0015】また、図34に示すように、半導体基板200上の層間絶縁膜202に埋め込まれたコンタクトプラグ208に接続された配線210を有する半導体装置において、配線210に接続するビアホールを開口する際にBLC構造を適用した場合、ビアホールの開口の際の位置ずれ等によって絶縁膜220が層間絶縁膜208直上のエッチングストップ膜216上までエッチングされると、エッチングストップ膜216のエッチングの際

に形成される空孔224内にコンタクトプラグ208が露出し、コンタクトプラグ230とコンタクトプラグ208とが短絡することがあった。

【0016】また、異方性の反応性イオンエッチングを用いることにより空孔124を形成せずにエッチングストップ膜112を除去すると、下地膜に対して選択性を確保することが困難であった。すなわち、図35(a)に示す構造において、配線溝118内のエッチングストップ膜112を、層間絶縁膜104に対して十分な選択比が確保できる条件でエッチングすると、コンタクトプラグ110に対しては十分な選択比を確保することができず、コンタクトプラグ110がエッチングされることがあった(図35(b))。

【0017】これとは逆に、エッチングストップ膜112を、コンタクトプラグ110に対して十分な選択比が確保できる条件でエッチングすると、層間絶縁膜104に対して十分な選択比を確保することができず、層間絶縁膜104がエッチングされることがあった(図35(c))

20 このように、エッチングストップ膜112のエッチングでは、コンタクトプラグ110と層間絶縁膜104とに対して同時にエッチング選択性を確保することは難しく、コンタクト特性が劣化するなど半導体装置の信頼性に影響を与えることがあった。

【0018】また、層間絶縁膜114に埋め込んで形成された配線122上にコンタクトプラグ144を形成する際にBLC構造を適用すると、エッチングストップ膜130が後退して形成された空孔138内には導電性膜140形成後も配線122が露出しているため、プラグ142を埋め込む際にプラグ142の原料ガスと配線122とが反応し、高抵抗反応物146を形成することがあった。このため、コンタクトプラグ144と配線122との間のコンタクト特性を劣化することがあった(図36)。

【0019】また、本願発明者等が詳細な検討をする過程において、従来知られていなかった新たな問題が判明した。すなわち、例えば図37(a)に示すように、ゲート電極40とコンタクトホール22との位置が重なっており、コンタクトホール22内に段差があるSAC構造の場合に、SiN膜よりなる絶縁膜16と絶縁膜18よりなる層間絶縁膜20にコンタクトホール22を開口すると、絶縁膜18のエッチング時に段差の肩部でSiN膜が減耗し易いことが判った。この結果、従来の方法により減耗したSiN膜を除去すると、図37(a)中に点線で示したように、SiN膜直下の絶縁膜38までエッチングされ、ゲート電極40が露出することがあった。

【0020】また、上記のようなSiN膜の減耗を抑えるために、燐酸やフッ素ラジカルを用いたエッチングによりSiN膜と酸化膜との選択比を高くすると、図37

(b)に示すように絶縁膜16の横方向のエッチングが進行し、空孔30が形成される。この後、導電性膜24を堆積すると、導電性膜24は空孔30内には堆積されないで、次工程のコンタクト形成プロセスでW埋め込み法を使用した場合、ソースガスであるWF<sub>6</sub>が空孔30部分より侵入してワームホールが生じ、ソース/ドレイン拡散層14部で接合破壊が生じることがあった。

【0021】また、ソース/ドレイン拡散層14上にサリサイドが形成されている場合においても、素子分離膜12のエッジ部分ではシリサイド層44によって半導体基板10が十分に覆われていないため、エッジ部分からワームホールが発生して接合破壊が生じることがあった(図38)。本発明の目的は、接合リーク、配線間ショート等、半導体装置の信頼性に影響を及ぼす現象を低減しうるSAC構造やBLC構造を有する半導体装置及びその製造方法を提供することにある。

#### 【0022】

【課題を解決するための手段】上記目的は、下地基板と、前記下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第2の絶縁膜よりなり、前記下地基板に達する開口部が形成された層間絶縁膜と、前記開口部の内壁及び底部に形成された導電性膜とを有し、前記第1の絶縁膜に形成された前記開口部の開口幅は、前記第2の絶縁膜に形成された前記開口部の開口幅よりも広く、前記開口部内壁に形成された前記導電性膜と、前記開口部の底部に形成された前記導電性膜とが境界で連続していることを特徴とする半導体装置によって達成される。このように半導体装置を構成することにより開口部内には下地基板が露出しないので、開口部内に導電性材料を埋め込む際に、導電性材料のソースガスによる下地基板の浸食や、導電性材料と下地基板との反応を防止することができる。これにより、半導体装置の信頼性を向上することができる。

【0023】また、上記の半導体装置において、前記導電性膜は、前記第2の絶縁膜下の、前記第1の絶縁膜に形成された前記開口部内に埋め込まれていることが望ましい。このように半導体装置を構成することによっても下地基板を開口部内と隔離することができる。また、上記目的は、下地基板と、前記下地基板上に形成され、深さによって開口幅が異なる開口部が形成された層間絶縁膜と、前記開口部の内壁及び底部に形成された導電性膜とを有し、前記開口部の底部の開口幅が、前記開口部における最小の開口幅とほぼ等しく、前記開口部の底部の前記下地基板は前記導電性膜により覆われていることを特徴とする半導体装置によっても達成される。このようにして半導体装置を構成することにより、下地基板を導電性膜によって完全に開口部内から隔離することができる。

【0024】また、上記の半導体装置において、前記層間絶縁膜は、前記下地基板上に形成された第1の絶縁膜

と、前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第3の絶縁膜よりなり、前記第2の絶縁膜に形成された前記開口部の開口幅は、前記第3の絶縁膜に形成された前記開口部の開口幅よりも広く、前記第1の絶縁膜に形成された前記開口部の開口幅は、前記第3の絶縁膜に形成された前記開口部の開口幅とほぼ等しいことが望ましい。

【0025】また、上記の半導体装置において、前記下地基板は、少なくとも一層の配線層を更に有することが望ましい。本発明による半導体装置は、複数の配線層を有する多層配線構造において、いずれの配線層においても適用することができる。また、上記目的は、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、前記第1の絶縁膜上に、第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、前記第2の絶縁膜を異方性エッチングすることにより、前記第1の絶縁膜に達する開口部を形成する第1の開口部形成工程と、前記開口部内の前記第1の絶縁膜を、横方向にもエッチングが進行する方法により除去することにより、前記開口部を前記下地基板上まで開口すると同時に、前記第2の絶縁膜下の前記第1の絶縁膜をエッチングして空隙を形成する第2の開口部形成工程と、前記開口部内に前記下地基板が露出しないように、少なくとも前記空隙の開口部を塞ぐ導電性膜を前記開口部内に堆積する導電性膜堆積工程とを有することを特徴とする半導体装置の製造方法によっても達成される。このようにして半導体装置を製造することにより、導電性膜によって開口部内と下地基板とを完全に隔離することができる。これにより、後工程で開口部内に導電性材料を埋め込む際に、導電性材料のソースガスによって下地基板が浸食されたり、下地基板と導電性材料とが反応することはない。これにより、半導体装置の信頼性を向上することができる。

【0026】また、上記の半導体装置の製造方法において、前記導電性膜堆積工程では、前記導電性膜をコリメートスパッタ法により堆積することが望ましい。コリメートスパッタ法により導電性膜を堆積することにより、空隙の開口部を容易に塞ぐことができる。また、上記の半導体装置の製造方法において、前記導電性膜堆積工程では、前記開口部の底部における前記導電性膜の膜厚が、前記第1の絶縁膜よりも厚くなるように前記導電性膜を堆積することが望ましい。こうすることにより、空隙の開口部を容易に塞ぐことができる。

【0027】また、上記の半導体装置の製造方法において、前記導電性膜堆積工程では、前記導電性膜をCVD法により堆積することが望ましい。CVD法により導電性膜を堆積することにより、導電性膜を空隙の中に容易に埋め込むことができる。また、上記の半導体装置の製造方法において、前記導電性膜堆積工程では、前記開口部の底部における前記導電性膜の膜厚が、前記第1の絶

縁膜の膜厚の1/2以上となるように前記導電性膜を堆積することが望ましい。こうすることにより、空隙の開口部を容易に埋め込むことができる。

【0028】また、上記目的は、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、前記第1の絶縁膜上に、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、前記第2の絶縁膜上に、前記第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、前記第3の絶縁膜を異方性エッチングすることにより、前記第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、前記開口部内の前記第2の絶縁膜を、横方向にもエッチングが進行する方法により除去することにより、前記開口部を前記第1の絶縁膜上まで開口する第2の開口部形成工程と、前記開口部内の前記第1の絶縁膜を異方性エッチングすることにより、前記開口部を前記下地基板上まで開口する第3の開口部形成工程と、少なくとも前記開口部内に露出した前記下地基板を覆うように導電性膜を堆積する導電性膜堆積工程とを有することを特徴とする半導体装置の製造方法によっても達成される。このようにして半導体装置を製造することにより、導電成膜によって開口部内と下地基板とを完全に隔離することができる。これにより、SAC構造を用いるために第2の絶縁膜を等方性エッチングする必要がある場合にも、導電性材料を埋め込む際のソースガスによる基板侵食を防止することができる。また、導電性材料と下地基板との反応を防止することができる。

【0029】また、上記の半導体装置の製造方法において、前記第3の開口部形成工程では、前記第1の絶縁膜をエッチングする際のオーバーエッチング量を約50%以下に設定することが望ましい。このようにして半導体装置を製造することにより、下地基板に与えるダメージを抑えて開口部を形成することができる。また、上記の半導体装置の製造方法において、前記下地基板は、少なくとも一層の配線層を更に有することが望ましい。本発明による半導体装置の製造方法は、複数の配線層を有する多層配線構造において、いずれの配線層においても適用することができる。

【0030】また、上記目的は、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、前記第1の絶縁膜上に、前記第1の絶縁膜より厚く、前記第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、前記第2の絶縁膜上に、前記第2の絶縁膜より厚く、前記第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、前記第3の絶縁膜を、前記第2の絶縁膜をストップとしてエッチングし、前記第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、前記開口部内の前記第2の絶縁膜を、前記第1の絶縁膜をストップとしてエッチングし、前記開口部を前記第1の絶縁膜上まで

開口する第2の開口部形成工程と、前記開口部内の前記第1の絶縁膜をエッチングし、前記開口部を前記下地基板の上まで開口する第3の開口部形成工程とを有することを特徴とする半導体装置の製造方法によっても達成される。このようにして半導体装置を製造することにより、下地基板に与える影響を低減しつつ開口部を形成することができる。

【0031】

【発明の実施の形態】

10 【第1実施形態】本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図5を用いて説明する。図1は本実施形態による半導体装置の構造を示す概略断面図、図2及び図3は本実施形態による半導体装置の製造方法を示す工程断面図、図4はコリメートスパッタ法の原理を説明する図、図5は本実施形態による半導体装置の製造方法における効果を説明する図である。

【0032】本実施形態による半導体装置の構造を図1を用いて説明する。半導体基板10には、素子領域を画定する素子分離膜12が形成されており、素子領域には拡散層14が形成されている。半導体基板10上には、エッチングストップ膜16と絶縁膜18よりなる層間絶縁膜20が形成されており、層間絶縁膜20には半導体基板に達するコンタクトホール22が開口されている。コンタクトホール22内壁及び層間絶縁膜20上にはバリアメタルとして機能する導電性膜24が形成されており、導電性膜24が形成されたコンタクトホール22内にはプラグ26が埋め込まれている。層間絶縁膜20上には、プラグ26に接続された配線層28が形成されている。

30 【0033】ここで、本実施形態による半導体装置の特徴は、コンタクトホール22近傍のエッチングストップ膜16は横方向にエッチングされて空孔30が形成されているが、コンタクトホール22内に形成された導電性膜24は空孔30部分で途切れておらず、コンタクトホール内部を完全に囲うように形成されていることにある。

【0034】次に、本実施形態による半導体装置の製造方法を図2乃至図5を用いて説明する。まず、素子分離膜12により画定された素子領域に拡散層14が形成された半導体基板10上に、エッチングストップ膜16となる絶縁膜を堆積する(図2(a))。エッチングストップ膜としては、例えばSiN膜を用いることができる。例えば、プラズマCVD法により、基板温度を400℃、パワーを300W、SiH<sub>4</sub>流量を100cc、NH<sub>3</sub>流量を50ccとして堆積する。

40 【0035】次いで、エッチングストップ膜16上に絶縁膜18を堆積して層間絶縁膜20を形成する(図2(b))。絶縁膜18としては、例えばSiO<sub>2</sub>膜を用いることができる。例えば、プラズマCVD法により、基板温度を400℃、パワーを300W、SiH<sub>4</sub>流量

を50cc、N<sub>2</sub>O流量を500ccとして堆積する。続いて、通常のリソグラフィと異方性エッチングにより、絶縁膜18を貫通してエッチングストップ膜16に達するコンタクトホール22を開口する(図2

(c))。このとき、エッチング条件をSiO<sub>2</sub>膜よりなる絶縁膜18に対してSiN膜よりなるエッチングストップ膜16のエッチング速度が十分に小さくなるように設定することにより、コンタクトホール22のエッチングが半導体基板10に達することはない。

【0036】この後、コンタクトホール22内のエッチングストップ膜16を等方性エッチングにより除去する(図2(d))。これにより、コンタクトホール22の底部が半導体基板10に達すると同時に、コンタクトホール22近傍の絶縁膜18下のエッチングストップ膜16がエッチングされて空孔30が形成される。ここで、等方性エッチングは、例えば、温度100℃、濃度90%の磷酸水溶液を用いたウェットエッチングにより行う。この等方性エッチングは、エッチングストップ膜16のみを除去し、半導体基板10、絶縁膜18、素子分離膜12にはなんらの影響を与えることはない。

【0037】次いで、空孔30の開口部を覆うように導電性膜24を形成する(図3(a))。導電性膜24を堆積する際には、通常のスパッタ法よりも、コンタクトホール22底部に導電性膜24が厚く堆積できるコリメートスパッタ法を用いることが望ましい。例えば、パワーを10kW、コリメータのアスペクト比を2、圧力を2mTorrとして、TiN膜を堆積することにより導電性膜24を形成する。

【0038】なお、コリメートスパッタ法は、図4

(a)に示すように、ターゲット50と基板52との間にコリメータ54を設けることにより、基板52に対して垂直成分をもつスパッタ粒子のみを基板52上に堆積するものである。通常のスパッタ法では、スパッタ粒子には様々な方向成分をもった粒子が含まれているため、アスペクト比の大きなコンタクトホール22内に成膜しようとする、図4(b)に示すように、開口部付近ほど堆積速度が速くなり、コンタクトホール底部に堆積することが困難となる。

【0039】ところが、コリメータ54を設けることにより、スパッタ粒子の多くが垂直成分をもつようになるため、コンタクトホール底部に容易に成膜することができる(図4(c))。なお、導電性膜24は後工程の埋め込みの際、WF<sub>6</sub>ガスに対してバリア層となるものであり、半導体基板10とコンタクトホール22とを空間的に隔離し、且つ電氣的に導通する効果を持つものである。

【0040】導電性膜24は、空孔30の少なくとも開口部を覆う程度に形成する必要があるため、形成する導電性膜24の膜厚は、少なくとも空孔30の開口部と同程度の高さが必要である。即ち、開口部の高さが100

nmであった場合には、形成する導電性膜24の膜厚も100nm以上必要となる。続いて、ブランケットW-CVDとエッチバックの技術を用い、コンタクトホール22内にWを埋め込んでプラグ26を形成する(図3(b))。例えば、基板温度を400℃、圧力を80Torr、WF<sub>6</sub>流量を20cc、H<sub>2</sub>流量を2000ccとしてW膜を成膜し、Cl<sub>2</sub>流量を100cc、パワーを200W、圧力を6mTorrとしてエッチバックを行う。

10 【0041】ここで、W膜の成膜には、半導体基板10を構成するSiときわめてよく反応するWF<sub>6</sub>ガスを用いるが、半導体基板10は、導電性膜24によってコンタクトホール22より隔離されている。TiN膜よりなる導電性膜24は、WF<sub>6</sub>の浸食に対するバリア性に優れているので、WF<sub>6</sub>分子36は空孔30内の半導体基板10にまで到達せず、浸食によるソース/ドレイン領域の接合破壊を防止することができる(図5)。

20 【0042】この後、配線層28を形成してパターニングを行うことにより、接合破壊を起こすことなく、半導体装置を形成することができる(図3(c))。このように、本実施形態によれば、エッチングストップ膜の等方性エッチングによって生じた空孔を、導電性膜の堆積により空間的に隔離するので、WF<sub>6</sub>ガスを用いたW膜の成膜時にもWF<sub>6</sub>ガスと半導体基板とが直接接触することがなく、WF<sub>6</sub>ガスの浸食に起因する接合破壊を防止することができる。これにより、半導体装置の信頼性を高めることができる。

30 【0043】なお、本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態ではWF<sub>6</sub>ガスを用いたCVD法によりWプラグを形成する場合について示したが、AlやCu等、他の金属材料でプラグ26を形成する場合にも本発明を適用することができる。すなわち、上記実施形態による半導体装置ではエッチングストップ膜16を等方的にエッチングするために生ずる空孔30を導電性膜24によってコンタクトホール22内と空間的に隔離している。従って、プラグ26の材料としてAlやCuを用いた場合には、導電性膜24は、空孔30内のシリコン基板とプラグ材料とが直接接触することを防止するバリア膜として機能するので、

40 シリコン基板とプラグ材料との反応による接合破壊を防止することができる。

【0044】Alをプラグ材料に用いる場合には、ブランケットAl-CVD技術や選択アルミCVD技術を適用することができる。また、Cuをプラグ材料に用いる場合には、CVD法によりCuを堆積し、又はスパッタ法によりCuを堆積した後にリフローしてコンタクトホール22内にCuを埋め込み、その後CMP法を用いてポリッシュバックすることによりプラグ26を形成することができる。

50 【0045】また、上記実施形態ではエッチングスト



パ膜16としてSiN膜を、絶縁膜18としてSiO<sub>2</sub>膜を用いたが、エッチング条件の設定によりこれらの膜をそれぞれ単独でエッチングできるのであれば、これらの組み合わせはいかなる絶縁膜であってもよい。また、導電性膜24としてコリメートスパッタ法によるTiN膜を用いたが、TiN膜/Ti膜よりなる積層膜を用いてもよい。このような積層膜を用いれば、半導体基板10と導電性膜24との間のコンタクト抵抗を低減することが可能となる。

【0046】Ti膜は、CVD法やスパッタ法により堆積することができる。Ti膜をスパッタ法により堆積する場合、必ずしもコリメートスパッタ法を用いる必要はない。Ti膜の上層に堆積するTiN膜によって空孔30を完全に塞ぐことができれば、通常スパッタ法によってTi膜を堆積してもよい。また、TiN膜を用いる代わりにWF<sub>6</sub>ガスに対して浸食耐性のある他の導電性膜を適用することもできる。例えば、コリメートスパッタ法により堆積したW膜等を用いることができる。

【0047】また、導電性膜24としてCuやAlに対して拡散バリアとしての効果をもつ材料、例えば、WN膜、Ta膜、Ta<sub>2</sub>N膜、TiSiN膜、WSiN膜等を用いることもできる。また、SiN膜のエッチングにリン酸水溶液を用いたが、他のエッチング方法を用いてもよい。

【0048】また、プラグ26に用いるWを埋め込む際にブランケットW-CVDとエッチバック技術を用いたが、選択タングステンCVD法によりコンタクトホール22内にWを埋め込んでもよい。また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

【第2実施形態】本発明の第2実施形態による半導体装置及びその製造方法について図6及び図7を用いて説明する。第1実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0049】図6は本実施形態による半導体装置の構造を示す工程断面図、図7は本実施形態による半導体装置の製造方法を示す工程断面図である。本実施形態による半導体装置の構造を図6を用いて説明する。本実施形態による半導体装置は、空孔30が導電性膜24により埋め込まれていることに特徴がある。即ち、図1に示す第1実施形態による半導体装置では、コリメートスパッタ法を用いて導電性膜24を堆積することによりコンタクトホール22内部と空孔30とを空間的に隔離したが、本実施形態による半導体装置では、空孔30内部が導電性膜24により埋め込まれており、コンタクトホール22内部と半導体基板10とが隔離されている。

【0050】こうすることにより、プラグ形成の際の浸食を防止している。次に、本実施形態による半導体装置

の製造方法について図7を用いて説明する。まず、図2(a)乃至図2(d)に示す第1実施形態による半導体装置の製造方法と同様にして、層間絶縁膜20にコンタクトホール22を開孔する。

【0051】次いで、導電性膜24をCVD法により堆積する。導電性膜としては、例えばTiN膜を用いることができる。例えば、CVD法により、基板温度を500℃、TiCl<sub>4</sub>流量を10cc、NH<sub>3</sub>流量を500cc、圧力を100mTorrとして堆積する。なお、Tiのソースガスとしては、TDMA T (tetrakis dimethylamino titanium)、TDEAT (tetrakis diethylamino titanium)、TiI<sub>4</sub>等を用いてもよい。TDMA Tを用いる場合には、例えば、基板温度を400℃、TDMA T流量を2cc、NH<sub>3</sub>流量を10cc、圧力を100mTorrとして堆積することができる。TDEATを用いる場合には、例えば、基板温度を400℃、TDEAT流量を30cc、NH<sub>3</sub>とArとの混合ガスの流量を10slm、圧力を10Torrとして堆積することができる。

【0052】CVD法は、スパッタ法に比べてカバレッジがよい、成膜条件を最適化することにより空孔30の内部を容易に埋め込むことができる。従って、WF<sub>6</sub>ガスに対するバリア効果が高く、半導体基板10とコンタクトホール22とを空間的に隔離し、且つ電氣的に導通する効果もスパッタ法の場合よりも高くすることができる。

【0053】なお、CVD法によるTiN膜を用いて導電性膜24を形成する場合、本発明の効果を十分に発揮するためには、少なくとも空孔30の開口部を塞ぐ程度の膜厚を堆積する必要がある。この膜厚は、CVD膜のカバレッジ能力に依存するため、一義的に定めることはできないが、例えば開口部の高さが100nmであり、TiN膜の成膜を上記の条件で行った場合には、約100nm以上の膜厚が必要である。

【0054】ステップカバレッジに優れた導電性膜24を堆積する場合には、エッチングストップ膜16の膜厚の約1/2以上の膜厚の導電性膜24を堆積することにより空孔30を完全に埋め込むことができる。この後、第1実施形態による半導体装置の製造方法と同様にしてプラグ26を形成し(図7(b))、更に配線層28を形成する(図7(c))。

【0055】このように、本実施形態によれば、エッチングストップ膜の等方性エッチングによって生じた空孔を導電性膜により埋め込むので、WF<sub>6</sub>ガスを用いたW膜の成膜時にもWF<sub>6</sub>ガスと半導体基板とが直接接触することがなく、WF<sub>6</sub>ガスの浸食に起因する接合破壊を防止することができる。これにより、半導体装置の信頼性を高めることができる。

【0056】なお、本発明は上記実施形態に限らず種々の変形が可能である。例えば、導電性膜24としてCVD

D法によるTiN膜を用いたが、WF<sub>6</sub>ガスに対して浸食耐性のある導電性膜であれば適用することができる。例えば、不純物をドーパした多結晶シリコン膜やアモルファスシリコン膜等であってもWF<sub>6</sub>の浸食が半導体基板10に達しなければよい。

【0057】また、第1実施形態と同様、本実施形態による半導体装置の構造は、AlプラグやCuプラグを形成する半導体装置の製造方法にも適用することができる。また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、

【第3実施形態】本発明の第3実施形態による半導体装置及びその製造方法について図8乃至図12を用いて説明する。

【0058】図8はBLC構造を適用した埋め込み配線を説明する図、図9はCuを用いた埋め込み配線における課題を説明する図、図10は本実施形態による半導体装置の構造を示す平面図及び断面図、図11及び図12は本実施形態による半導体装置の製造方法を示す工程断面図である。第1及び第2実施形態では、半導体基板上にコンタクトホールを開口する場合に本発明を適用したが、本発明によるBLC構造は様々な下地構造に対して適用することができる。

【0059】すなわち、本発明は開口部内に導電性材料を埋め込むプロセスにおける共通の課題を解決するものであり、半導体基板上に開口したコンタクトホール内にプラグを形成する場合のみならず、その他のコンタクトホール、例えばビアホールにプラグを充填するプロセス、又は埋め込み配線を形成するプロセス等においても効果を発揮する。

【0060】本実施形態では、BLC構造を埋め込み配線に適用した場合について図8及び図9を用いて説明する。始めに、埋め込み配線及びBLC構造を用いた埋め込み配線について説明する。LSIの高速化の要請に伴い、配線材料の低抵抗化が要求されている。これを実現するため、配線材料としてはCu（銅）等の新規な低抵抗材料が検討されている。

【0061】しかし、Cuは蒸気圧の高い反応物を生成しないためRIE（反応性イオンエッチング：Reactive Ion Etching）法のような反応を利用するパターニング方法を用いることが困難であり、微細配線の形成が難しい。このため、Cuを用いた配線を形成する際には、予め絶縁膜に配線用の溝を形成し、スパッタ法などによって溝内にCuを埋め込み、絶縁膜上のCuをCMP法などによってエッチバック（ポリッシュバック）することによって絶縁膜に埋め込まれた配線を形成することが有用である。

【0062】このような埋め込み配線を形成する場合にも、上記BLC構造を適用することができる。埋め込み配線にBLC構造を適用した場合について図8を用いて

説明する。図8（a）、（b）に示すように、半導体基板100上に形成された層間絶縁膜104にコンタクトプラグ110が埋め込まれているときに、上層に層間絶縁膜116に埋め込まれた配線122を形成する場合、層間絶縁膜116に配線122を埋め込む配線溝118を形成するエッチングを行う際には層間絶縁膜104がエッチングされないようにしなければならない。層間絶縁膜104にまでエッチングが及ぶと、配線溝118に埋め込む配線122の形状に多大な影響を与えるからである（図8（c））。このように配線122の形状が変化すると、配線抵抗のばらつきが大きくなったり、配線122と下層の配線（図示せず）との間の層間耐圧が減少するなど半導体装置の信頼性に影響を与えることになる。

【0063】そこで、このような場合にBLC構造を適用すれば、層間絶縁膜104が過剰にエッチングされることを防止することができる。すなわち、層間絶縁膜104と層間絶縁膜116との間に、これら絶縁膜とエッチング選択性の異なるエッチングストップ膜112を形成することによって、層間絶縁膜116のエッチングがエッチングストップ膜112で制御性よく停止することができる（図8（d））。

【0064】こうすることにより、配線122を埋め込む配線溝118をエッチングする際にはエッチングの影響が層間絶縁膜104にまで及ぶことはなく、配線122の形状は層間絶縁膜116の厚さによってのみ決定され、安定して配線を形成することができる。しかしながら、埋め込み配線用の材料としてCuを用いる場合、上記BLC構造をそのまま適用することは好ましくない。

以下、その理由について説明する。

【0065】Cuを用いた埋め込み配線を形成する場合にも、通常のBLC構造の場合と同様にエッチングストップ膜112をエッチングする際には層間絶縁膜104及び絶縁膜114とのエッチング選択性を確保するためウェットエッチングを用いることが好ましい。しかし、ウェットエッチングは等方性のエッチングであるため、絶縁膜114下のエッチングストップ膜112までエッチングされ、絶縁膜114下には空孔124が形成されることになる（図9（a））。このように形成された空孔124は従来のスパッタ法によっては被覆できないため、導電性膜120を堆積した後も残存する（図9（b））。

【0066】このため、次工程の配線形成プロセスでCuの埋め込みを行った場合、空孔124内にCuが埋め込まれ、この部分からCuが絶縁膜114中に拡散し、配線間リークや絶縁膜の誘電率が上昇することがある（図9（c））。このように、Cuを用いた埋め込み配線では、従来のBLC構造をそのまま適用することは好ましくない。

【0067】次に、本実施形態による半導体装置の構造

を図10を用いて説明する。図10(a)は本実施形態による半導体装置の構造を示す平面図であり、図10

(b)は本実施形態による半導体装置の構造を示す断面図である。半導体基板100上には、所定の領域にコンタクトホール102が開口された層間絶縁膜104が形成されている。コンタクトホール102内には、導電性膜106及びプラグ108よりなるコンタクトプラグ110が形成されている。

【0068】コンタクトプラグ110が層間絶縁膜104表面に露出した下地基板100上には、エッチングストップ膜112及び絶縁膜114よりなる層間絶縁膜116が形成されている。層間絶縁膜116には、配線を埋め込むための配線溝118が形成されており、溝の底部にはコンタクトプラグ110が露出している。配線溝118内壁及び層間絶縁膜104上にはバリアメタルとなる導電性膜120が形成されており、導電性膜120が形成された配線溝118内には配線122が埋め込まれている。

【0069】ここで、本実施形態による半導体装置は、配線溝118近傍のエッチングストップ膜112が横方向にエッチングされて空孔124が形成されているが、配線溝118内に形成された導電性膜120は空孔124部分で途切れておらず、配線溝118内部を完全に囲うように形成されていることに特徴がある。次に、本実施形態による半導体装置の製造方法について図11及び図12を用いて説明する。

【0070】まず、半導体基板100上に、コンタクトプラグ110が埋め込まれた層間絶縁膜104を形成する。コンタクトプラグ110は、半導体基板100に形成されたトランジスタの電極等(図示せず)に接続されている。層間絶縁膜104は、例えばシリコン酸化膜により形成する。ここで、コンタクトプラグ110は如何なる構造であってもよい。

【0071】また、半導体基板100と層間絶縁膜104との間には1又は2以上の配線層が形成されていてもよい。すなわち、配線122は、2層目の金属配線であってもよく、更に上層の金属配線であってもよい。本明細書では、このような下地構造を一括して下地基板と呼ぶこととする。すなわち、本明細書にいう下地基板には、半導体基板自体のみならず、トランジスタなどの素子が形成された半導体基板や、さらにこの上層に1層又は2層以上の配線層が形成された構造をも含むものとする。

【0072】次いで、このような下地基板100上に、エッチングストップ膜112となる絶縁膜を堆積する。エッチングストップ膜112としては、例えばSiN膜を用いることができる。例えば、プラズマCVD法により、基板温度を400℃、パワーを300W、SiH<sub>4</sub>流量を100cc、NH<sub>3</sub>流量を50ccとして堆積する。続いて、エッチングストップ膜112上に絶縁膜114を

堆積し、エッチングストップ膜112及び絶縁膜114よりなる層間絶縁膜116を形成する(図11(a))。

絶縁膜114としては、例えばSiO<sub>2</sub>膜を用いることができる。例えば、プラズマCVD法により、基板温度を400℃、パワーを300W、SiH<sub>4</sub>流量を50cc、N<sub>2</sub>O流量を500ccとして堆積する。

【0073】この後、通常のリソグラフィ技術及び異方性エッチング技術を用い、絶縁膜114を貫通してエッチングストップ膜112に達する配線溝118を開口する(図11(b))。このとき、エッチング条件をSiO<sub>2</sub>よりなる絶縁膜114に対してSiN膜よりなるエッチングストップ膜112のエッチング速度が十分に小さくなるように設定することにより、配線溝118のエッチングが層間絶縁膜104やコンタクトプラグ110に達することはない。

【0074】次いで、配線溝118内のエッチングストップ膜112を等方性エッチングにより除去する(図11(c))。これにより、配線溝118の底部が層間絶縁膜104又はコンタクトプラグ110に達すると同時に、配線溝118近傍の絶縁膜114下のエッチングストップ膜112がエッチングされて空孔124が形成される。ここで、等方性エッチングは、例えば、温度100℃、濃度90%の磷酸水溶液を用いたウェットエッチングにより行う。

【0075】続いて、空孔124の開口部を覆うように導電性膜120を形成する(図12(a))。ここで、導電性膜118は後工程の配線材料埋め込みの際、配線材料が空孔124内に入り込まないようにするバリア層となるものであり、層間絶縁膜104、116と配線溝118とを空間的に隔離する効果をもつものである。導電性膜120は、空孔124の少なくとも開口部を覆う程度に形成する必要があるため、形成する導電性膜120の膜厚は、少なくとも空孔124の開口部と同程度の高さが必要である。従って、導電性膜120の堆積にはコリメートスパッタ法を用いることが望ましい(第1実施形態参照)。

【0076】この後、スパッタ法によりCu膜を堆積してリフローを行い、配線溝118内にCuを埋め込む。例えば、圧力1.5mTorr、パワー5kW、Ar流量25sccmとしてCuのスパッタを行い、温度350℃、Ar流量1000sccm、圧力80TorrとしてCuのリフローを行う。次いで、層間絶縁膜116上のCu及び導電性膜120をCMP法により除去し、配線溝118内のみCu及び導電性膜120を残存させる。例えば、アルミナ系研磨剤を用い、回転数100rpm、研磨圧力6psiとしてCMPを行う。こうして、配線溝118に埋め込まれた配線122を形成する(図12(b))。

【0077】なお、Cuの埋め込みにはCVD法を用い

てもよい。例えば、Cu (PMPS) (HFAC) を 0.08 g/min の流量で、H<sub>2</sub> をキャリアガスとして 300 cc の流量で導入し、温度を 200℃、圧力を 200 mTorr として堆積する。ここで、配線 122 にはシリコン酸化膜中を拡散しやすい Cu を用いているが、シリコン酸化膜よりなる層間絶縁膜 104、絶縁膜 114 は導電性膜 120 によって配線 122 と隔離されている。TiN 膜よりなる導電性膜 120 は Cu の拡散バリアとして優れた効果を持つものであり、これにより Cu が層間絶縁膜 104、116 中に拡散することはなく、配線間リークや層間絶縁膜の誘電率の上昇等を防止することができる。

【0078】このように、本実施形態によれば、エッチングストップ膜 112 の等方性エッチングによって生じた空孔 124 を、導電性膜 120 の堆積により空間的に隔離するので、配線溝 118 に Cu を埋め込んだ際に Cu と層間絶縁膜 104、116 とが直接接触することはなく、Cu の拡散による配線間リークや層間絶縁膜の誘電率の上昇等を防止することができる。

【0079】なお、本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では埋め込み配線を形成する場合について説明したが、多層配線の層間接続に用いるビアホールの充填に適用してもよい。この場合、配線溝 118 をビアホールに置き換えることで容易に達成することができる。また、上記実施形態ではコリメートスパッタ法により導電性膜 120 を形成する例を示したが、第 2 実施形態のように CVD 法を用いて導電性膜 120 を堆積してもよい。この場合、空孔 124 は導電性膜 120 により完全に埋め込むことができる。

【0080】また、導電性膜 120 として Cu に対して拡散バリアとしての効果をもつ材料、例えば、WN 膜、Ta 膜、Ta<sub>2</sub>N 膜、TiSiN 膜、WSiN 膜等を用いれば、Cu や Al が導電性膜 120 中を拡散して空孔 124 内に達するのをより効果的に防止することができる。また、エッチングストップ膜 112 を等方性エッチングする方法として、磷酸水溶液によるウェットエッチングを使用する例を示したが、配線溝 118 底部に露出するプラグ 110 が Al や Cu の場合は、ドライエッチングによる等方性エッチングを使用すれば、プラグ 110 になんら影響を与えることなく、エッチングストップ膜 112 のエッチングを行うことができる。ここで、等方性のドライエッチングは、例えば、SF<sub>6</sub> 流量を 120 cc、O<sub>2</sub> 流量を 30 cc、パワーを 200 W、圧力を 200 mTorr、温度を 20℃ として行う。

【0081】また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

【第 4 実施形態】本発明の第 4 実施形態による半導体装

置及びその製造方法について図 13 乃至図 17 を用いて説明する。第 1 実施形態による半導体装置及びその製造方法と同一の構成要素には同一の符号を付して説明を省略又は簡略にする。

【0082】図 13 は本実施形態による半導体装置の構造を示す概略断面図、図 14 乃至図 17 は本実施形態による半導体装置の製造方法を示す工程断面図である。本実施形態による半導体装置は、エッチングストップ膜 16 の下に更に絶縁膜 32 が形成されており、層間絶縁膜 20 に形成されたコンタクトホール 22 の内径が深さ方向に変化していることに特徴がある。

【0083】即ち、コンタクトホール 22 近傍のエッチングストップ膜 16 は横方向にエッチングされて内径が大きくなっているが、絶縁膜 32 における内径は絶縁膜 18 における内径とほぼ等しく、エッチングストップ膜 16 の内径より狭くなっている。コンタクトホール 22 内に形成された導電性膜 24 はエッチングストップ膜 16 の部分で途切れているが、絶縁膜 32 に形成された開口部はコンタクトホール 22 底部に形成された導電性膜 24 により完全に覆われており、コンタクトホール 22 内に半導体基板 10 は露出していない。

【0084】このようにして半導体装置を構成することにより、プラグ 26 を形成する際の原料ガスによる半導体基板 10 の浸食を防止することができる。次に、本実施形態による半導体装置の製造方法について説明する。半導体基板 10 の主表面に、膜厚約 250 nm の素子分離膜 12 を形成する。次いで、所望の領域に、ウェル、チャネルストップ層、閾値制御不純物層（図示せず）を形成する。

【0085】続いて、熱酸化により膜厚約 6 nm のゲート酸化膜 34 を形成し、その上層に CVD 法により膜厚約 200 nm のアモルファスシリコン膜を堆積する。この後、N チャネルトランジスタを形成する領域のアモルファスシリコン膜に P（燐）イオンを、P チャネルトランジスタを形成する領域のアモルファスシリコン膜に B F<sub>3</sub>（弗化ボロン）イオンを、それぞれ注入する。

【0086】次いで、アモルファスシリコン膜上に、膜厚約 80 nm のシリコン酸化膜を CVD 法により堆積する。続いて、フォトリソグラフィ及び R I E（Reactive Ion Etching：反応性イオンエッチング）法により、アモルファスシリコン膜とシリコン酸化膜 38 とからなる積層膜をパターンニングしてゲート電極 40 を形成する（図 14（a））。

【0087】この後、ゲート電極をマスクとして半導体基板 10 中に不純物を注入し、LDD（Lightly Doped Drain）を形成する。CVD 法により膜厚約 100 nm のシリコン酸化膜を堆積した後、エッチバックしてゲート電極側壁部にサイドウォール 42 を形成する。次いで、ゲート電極及びサイドウォール 42 をマスクとして半導体基板 10 中に不純物を注入し、ソース/ドレイン

拡散層14を形成する。

【0088】この後、800℃の熱処理を行い、注入した不純物を活性化する(図14(b))。次いで、膜厚約8nmのCo(コバルト)膜と、膜厚約15nmのTiN膜とをスパッタ法により連続して堆積した後、550℃のRTA(Rapid Thermal Annealing: 短時間アニール)を行い、ソース/ドレイン拡散層上に選択的にCoSi<sub>2</sub>膜44を形成する。

【0089】続いて、アンモニア過水でTiN膜を、硫酸過水で未反応のCo膜を除去する(図14(c))。このようにしてソース/ドレイン拡散層14上にCoSi<sub>2</sub>膜44が選択的に形成されたMOSトランジスタを半導体基板10上に形成した後、膜厚約10nmのシリコン酸化膜よりなる絶縁膜32と、膜厚約50nmのSiN膜よりなるエッチングストップ膜16と、膜厚約250nmのシリコン酸化膜よりなる絶縁膜18とをPECVD法により堆積する。次いで、絶縁膜18上にSOG膜46を回転塗布し、表面が平坦化された層間絶縁膜20を形成する。

【0090】続いて、リソグラフィにより、形成するコンタクトホールのパターンを有するレジスト膜48をSOG膜46上に形成する(図15(a))。次に、レジスト膜をマスクとして用い、C<sub>4</sub>F<sub>8</sub>とArとの混合ガスプラズマによるエッチングを行い、SOG膜46及び絶縁膜18を加工する。この際、エッチングストップ膜16としてSiN膜を用いるが、ゲート電極の肩部のSiN膜は全膜厚の約半分程度が減耗する(図15(b))。

【0091】レジスト膜48を除去した後、150℃の磷酸水溶液中に浸漬し、SiN膜よりなるエッチングストップ膜16を除去する。磷酸を用いたエッチングでは、SiN膜と、シリコン酸化膜との選択比が50程度確保できるので、下地の絶縁膜32の減耗はほとんどみられない。また、磷酸によるエッチングは等方的であるので、SiN膜は横方向にもエッチングされる。これにより、絶縁膜18はオーバーハング形状となり、空孔30が形成される(図16(a))。

【0092】続いて、CF<sub>4</sub>、CHF<sub>3</sub>、Arの混合ガスプラズマによりシリコン酸化膜よりなる絶縁膜32を異方性エッチングする。エッチングの際には、上層の絶縁膜18がマスクとなるので、オーバーハングしている絶縁膜18の開口部直下の絶縁膜32のみが除去されることになる(図16(b))。このとき、オーバーエッチングを50%程度以下に設定することにより、ゲート電極を囲うサイドウォール42の減耗は十分小さく抑えられるので、後に形成するプラグ26とのショートが防止できる。また、コンタクトホール22内に素子分離膜12と素子領域との境界が存在する場合にも素子分離膜12の減耗も抑制できるので、接合ショートを防止することができる。

【0093】この後、スパッタ法により、膜厚約70nmのTiN膜よりなる導電性膜24を堆積する。このとき、コンタクトホール22の底部にはTiN膜が堆積されるが、空孔30内には堆積されない。しかしながら、空孔30内には絶縁膜32が残留しているので、導電性膜24を堆積した後のコンタクトホール22内には半導体基板10は露出していない。従って、導電性膜24を堆積する際に多少のオーバーハングが生じても半導体基板10を覆うように導電性膜24を堆積できるので、通常のスパッタ法を用いることができる(図17(a))。

【0094】次いで、CVD法により膜厚約600nmのW膜を堆積する。上述の通り、コンタクトホール内は半導体基板10が露出していないので、W膜堆積の際にWF<sub>6</sub>ガスが半導体基板10と接触することはなく、半導体基板10の浸食を防止することができる。これにより、接合破壊をも防止できる。続いて、W膜をエッチバックしてコンタクトホール内のみ残留させることによりプラグ26を形成する。

【0095】この後、上層に配線層28を形成し、必要に応じて更に上層に配線層(図示せず)を形成する(図17(b))。このように、本実施形態によれば、エッチングストップ膜16の下に絶縁膜32を設けることにより、絶縁膜18がオーバーハング形状となった場合にも、コンタクトホール22底部の半導体基板10を導電性膜24により完全に覆うことができるので、プラグ26形成の際の半導体基板の浸食を防止することができる。

【0096】これにより、エッチングストップ膜16を除去する際には選択比の高いエッチング方法を用いることができるので、コンタクトホール22内部にゲート電極40の肩が掛かるようなSAC構造であっても、ゲート電極40上のサイドウォール42、絶縁膜38がエッチングされてゲート電極40が露出することを防止することができる。

【0097】なお、本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では、エッチングストップ膜16直下の絶縁膜32としてSiO<sub>2</sub>膜を用いたが、SiON膜であってもよい。また、SiN膜の除去には磷酸水溶液を用いたウェットエッチングを用いたが、CF<sub>4</sub>とO<sub>2</sub>との混合ガスプラズマのダウンフローを用い、弗素ラジカルを作用させることによってよい。この場合、約10程度の選択比を得ることができるので、上述の製造方法に用いることが可能である。更に塩素を添加すれば、シリコン酸化膜とSiN膜との選択比はほぼ無限大に向上することもできる。

【0098】また、SiN膜の除去には、SF<sub>6</sub>ガスプラズマを用いてもよい。この場合には、選択比は5程度と若干低くなるが、絶縁膜32の膜厚を20nm程度にすることにより上記製造方法を適用することができる。

なお、SF<sub>6</sub>ガスプラズマを用いたエッチングでは、横方向よりも縦方向のエッチングレートの方が早くなる。

【0099】絶縁膜32の膜厚は、SiN膜のエッチング条件によって適宜設定することが望ましい。また、上記実施形態ではソース／ドレイン拡散層14上にCoSi<sub>2</sub>膜44を自己整合的に形成したが、CoSi<sub>2</sub>膜44を形成しない半導体装置においても同様に適用することができる。

【0100】また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

〔第5実施形態〕本発明の第5実施形態による半導体装置及びその製造方法について図18乃至図20を用いて説明する。

【0101】図18は本実施形態による半導体装置の構造を示す概略断面図、図19及び図20は本実施形態による半導体装置の製造方法を示す工程断面図である。本実施形態では、第4実施形態による半導体装置及びその製造方法を埋め込み配線を有する半導体装置に適用した場合について説明する。始めに、本実施形態による半導体装置の構造について図18を用いて説明する。図18(a)は本実施形態による半導体装置の構造を示す平面図、図18(b)は本実施形態による半導体装置の構造を示す概略断面図である。

【0102】埋め込み配線は、第3実施形態に示した配線構造の他に、半導体基板に直接コンタクトする局所的な配線に用いることがある。例えば、図18(a)に示すように、素子領域60上をゲート電極62、64が並行に配された構造において、素子領域60とゲート電極62とを接続する配線66に埋め込み配線を用いることができる。

【0103】このような半導体装置において配線を埋め込む配線溝68を形成する際にBLC構造を適用した場合、図37(b)に示す従来の半導体装置と同様に、空孔30部分において接合破壊が生じることになる(図39)。そこで、本実施形態による半導体装置では、エッチングストップ膜16の下に更に絶縁膜32を形成し、層間絶縁膜20に形成された配線溝68の開口幅を深さ方向に変化している(図18(b))。

【0104】即ち、配線溝68近傍のエッチングストップ膜16は横方向にエッチングされて開口幅が大きくなっているが、絶縁膜32における内径は絶縁膜18における内径とほぼ等しく、エッチングストップ膜16の内径より狭くなっている。配線溝68内に形成された導電性膜24はエッチングストップ膜16の部分で途切れているが、絶縁膜32に形成された開口部は配線溝68底部に形成された導電性膜24により完全に覆われており、配線溝68内に半導体基板10は露出していない。

【0105】このようにして半導体装置を構成すること

により、プラグ26を形成する際の原料ガスによる半導体基板10の浸食や、配線材料と半導体基板10との反応による接合破壊を防止することができる。次に、本実施形態による半導体装置の製造方法について図19及び図20を用いて説明する。これら工程図は、図18

(a)におけるA-A'線断面を示したものである。

【0106】まず、半導体基板10の主表面に、例えば第4実施形態による半導体装置の製造方法と同様にしてMOSトランジスタを形成する。このとき、後工程で配線66と接続するゲート電極62上の所定の領域のシリコン酸化膜38は予め除去しておく(図19(a))。このようにしてMOSトランジスタを半導体基板10上に形成した後、膜厚約10nmのシリコン酸化膜よりなる絶縁膜32と、膜厚約50nmのSiN膜よりなるエッチングストップ膜16と、膜厚約250nmのシリコン酸化膜よりなる絶縁膜18とをPE-CVD法により堆積する。次いで、絶縁膜18の表面をCMP法により研磨し、表面が平坦化された層間絶縁膜20を形成する(図19(b))。

【0107】次いで、通常のリソグラフィ及びエッチング技術により、絶縁膜18を、形成する埋め込み配線のパターンに加工する。絶縁膜18のエッチングは、例えばC<sub>4</sub>F<sub>8</sub>とArとの混合ガスプラズマを用いて行う。続いて、SiN膜よりなるエッチングストップ膜16をエッチングする。例えば、150℃の燐酸水溶液によるウェットエッチングを用いる。燐酸を用いたエッチングでは、SiN膜と、シリコン酸化膜との選択比が50程度確保できるので、下地の絶縁膜32の減耗はほとんどみられない。また、燐酸によるエッチングは等方的であるので、SiN膜は横方向にもエッチングされる。これにより、絶縁膜18はオーバーハング形状となり、空孔30が形成される。

【0108】続いて、CF<sub>4</sub>、CHF<sub>3</sub>、Arの混合ガスプラズマによりシリコン酸化膜よりなる絶縁膜32を異方性エッチングする。エッチングの際には、上層の絶縁膜18がマスクとなるので、オーバーハングしている絶縁膜18の開口部直下の絶縁膜32のみが除去されることになる。こうして、ソース／ドレイン拡散層14、ゲート電極62がその内部に露出した配線溝68を形成する(図19(c))。

【0109】この後、スパッタ法により、膜厚約70nmのTiN膜よりなる導電性膜24を堆積する。このとき、配線溝68の底部にはTiN膜が堆積されるが、空孔30内には堆積されない。しかしながら、空孔30内には絶縁膜32が残留しているので、導電性膜24を堆積した後の配線溝68内には半導体基板10は露出していない。従って、導電性膜24を堆積する際に多少のオーバーハングが生じて半導体基板10を覆うように導電性膜24を堆積できるので、通常のスパッタ法を用いることができる(図20(a))。

【0110】次いで、CVD法によりW膜を堆積して、配線溝68内にWを埋め込む。例えば、基板温度を400℃、圧力を80Torr、WF<sub>6</sub>流量を20cc、H<sub>2</sub>流量を2000ccとしてW膜を成膜する。ここで、W膜の成膜には半導体基板10を構成するSiときわめてよく反応するWF<sub>6</sub>ガスを用いるが、半導体基板10は導電性膜24によって配線溝68より隔離されているので、WF<sub>6</sub>分子が半導体基板10と接触することはなく、半導体基板10の浸食を防止することができる。

【0111】続いて、層間絶縁膜20上のW膜及び導電性膜24をCMP法により除去し、配線溝68内にのみWを残存させる。例えば、アルミナ系研磨剤を用い、回転数50rpm、研磨圧力6psiとしてCMPを行う。こうして、配線溝68に埋め込まれ、ソース/ドレイン拡散層14とゲート電極62とを接続する配線66を形成する(図20(b))。

【0112】このように、本実施形態によれば、エッチングストップ膜16の下に絶縁膜32を設けることにより、絶縁膜18がオーバーハング形状となった場合にも配線溝68底部の半導体基板10が導電性膜24により完全に覆われるので、配線66を形成する際に配線材料と半導体基板10とが反応することを防止できる。なお、本発明は上記実施形態に限らず種々の変形が可能である。

【0113】例えば、上記実施形態では埋め込み配線としてWを埋め込んだが、Cuを埋め込んで配線66を形成してもよい。ただし、この場合、第1実施形態で示したようなコリメートスパッタ法や、第2実施形態に示したようなCVD法を用いて導電性膜24を形成したほうが、Cuの拡散を抑えるうえでより効果的である。また、埋め込み配線としてAlを用いてもよい。この場合にも、Alと半導体基板10との反応を防止することができる。

【0114】また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

〔第6実施形態〕本発明の第6実施形態による半導体装置及びその製造方法について図21乃至図23を用いて説明する。

【0115】図21は本実施形態による半導体装置の構造を示す概略断面図、図22及び図23は本実施形態による半導体装置の製造方法を示す工程断面図である。図36に示すように、埋め込み配線122上にビアホールを形成する場合に層間絶縁膜134下に空孔138が形成されると、ビアホールにプラグを充填する際にプラグ142の原料ガスと埋め込み配線122とが空孔138内で反応して高抵抗反応物146が生成されるため、コンタクト特性を劣化させることがあった。

【0116】本実施形態では、上記の課題を解決する半

導体装置及びその製造方法を提供する。本実施形態による半導体装置は、埋め込み配線122上に形成する層間絶縁膜134として、第4実施形態における層間絶縁膜と同様の構造を採用していることに特徴がある。すなわち、本実施形態による半導体装置では、BLC構造のビアホールにおいて、エッチングストップ膜130下に更に絶縁膜128が設けられており、ビアホール内に埋め込まれた配線122は、空孔138内にある絶縁膜128によってコンタクトプラグ144と隔離されている。

10 【0117】次に、本実施形態による半導体装置の製造方法を図22及び図23を用いて説明する。まず、例えば第3又は第5実施形態による半導体装置の製造方法と同様にして、半導体基板100上に、層間絶縁膜114に埋め込まれた配線122を形成する(図22(a))。

20 【0118】次いで、このように配線122が埋め込まれた下地基板の上に、膜厚約10nmのシリコン酸化膜よりなる絶縁膜128と、膜厚約50nmのSiN膜よりなるエッチングストップ膜130と、膜厚約700nmのシリコン酸化膜よりなる絶縁膜132とをPECVD法により堆積し、絶縁膜128、エッチングストップ膜130、絶縁膜132よりなる層間絶縁膜134を形成する。

【0119】続いて、層間絶縁膜134の表面をCMP法により研磨し、その表面を平坦化する(図22(b))。その後、通常のリソグラフィ及びエッチングにより、配線122上に形成されたビアホール136を開口する。まず、C<sub>4</sub>F<sub>8</sub>とArとの混合ガスプラズマによるエッチングを行い、絶縁膜132を加工する。

30 【0120】次いで、150℃の燐酸水溶液中に浸漬し、ビアホール136内のエッチングストップ膜130を除去する。燐酸を用いたエッチングでは、SiN膜と、シリコン酸化膜との選択比が50程度確保できるので、下地の絶縁膜128の減耗はほとんどみられない。また、燐酸によるエッチングは等方的であるので、SiN膜は横方向にもエッチングされる。これにより、絶縁膜132はオーバーハング形状となり、空孔138が形成される。

40 【0121】続いて、CF<sub>4</sub>、CHF<sub>3</sub>、Arの混合ガスプラズマによりシリコン酸化膜よりなる絶縁膜128を異方性エッチングする。エッチングの際には、上層の絶縁膜128がマスクとなるので、オーバーハングしている絶縁膜132の開口部直下の絶縁膜128のみが除去されることになる(図22(c))。その後、スパッタ法により、膜厚約70nmのTiN膜よりなる導電性膜140を堆積する。このとき、ビアホールの底部には導電性膜140が堆積されるが、空孔138内には堆積されない。しかしながら、空孔138内には絶縁膜128が残留しているので、導電性膜140を堆積した後のビアホール136内には配線122は露出していない。従

に接続するピアホールを開口する際にＢＬＣ構造を適用すると、エッチングストップ膜２１６のエッチングの際に形成される空孔２２４内においてコンタクトプラグ２３０とコンタクトプラグ２０８とが短絡することがあった。

【０１２７】本実施形態では、上記のようなプラグ間ショートを低減する半導体装置及びその製造方法を提供する。本実施形態による半導体装置は、エッチングストップ膜２１６の下に更に絶縁膜２１４が設けられていること  
10 ことに特徴がある。すなわち、コンタクトプラグ２３０を埋め込む上層の層間絶縁膜２２０は、絶縁膜２１４、エッチングストップ膜２１６、絶縁膜２１８により構成されており、ビアホール内に充填されたコンタクトプラグ２３０は、空孔２２４内にある絶縁膜２１４によってコンタクトプラグ２０８と絶縁されている。

【０１２８】次に、本実施形態による半導体装置の製造方法を図２５及び図２６を用いて説明する。まず、例えば第３実施形態による半導体装置の製造方法と同様に、半導体基板２００上にコンタクトプラグ２０８が埋め込まれた層間絶縁膜２０２を形成する。

【0129】次いで、コンタクトプラグ208が埋め込まれた層間絶縁膜202上に、例えばA1よりなる配線210と、例えばTiNよりなる導電性膜212とにより構成された配線層を形成する(図25(a))。導電性膜212は、配線210をパターニングする際のハレーション防止膜として、及び／又はエレクトロマイグレーションの防止膜として機能する。

【0130】続いて、このように配線210が形成された下地基板の上に、膜厚約10nmのシリコン酸化膜よりなる絶縁膜214と、膜厚約50nmのSiN膜よりなるエッチングストップ膜216と、膜厚約700nmのシリコン酸化膜よりなる絶縁膜218とをPE-CVD法により堆積し、絶縁膜214、エッチングストップ膜216、絶縁膜218よりなる層間絶縁膜220を形成する。

【0131】この後、層間絶縁膜220の表面をCMP法により研磨し、その表面を平坦化する(図25

(b) )。次いで、通常のリソグラフィー及びエッチングにより、配線 210 上に形成されたビアホール 222 を開口する。まず、 $C_4F_8$  と  $Ar$  との混合ガスプラズマによるエッチングを行い、絶縁膜 218 を加工する。続いて、 $150^\circ C$  の燐酸水溶液中に浸漬し、ビアホール 222 内のエッチングストップ膜 216 を除去する。燐酸を用いたエッチングでは、 $SiN$  膜と、シリコン酸化膜との選択比が 50 程度確保できるので、下地の絶縁膜 214 の減耗はほとんどみられない。また、燐酸によるエッチングは等方的であるので、 $SiN$  膜は横方向にもエッチングされる。これにより、絶縁膜 218 はオーバーハング形状となり、空孔 224 が形成される。

50 【0132】この後、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{Ar}$ の混合ガス



プラズマによりシリコン酸化膜よりなる絶縁膜214を異方性エッチングする。エッチングの際には、上層の絶縁膜218がマスクとなるので、オーバーハングしている絶縁膜218の開口部直下の絶縁膜214のみが除去されることになる(図25(c))。このとき、空孔224がコンタクトプラグ208上に延在した場合であっても空孔224内には絶縁膜214が形成されているので、ビアホール222内にコンタクトプラグ208が露出することはない。

【0133】次いで、スパッタ法により、膜厚約70nmのTiN膜よりなる導電性膜226を堆積する(図26(a))。続いて、CVD法により膜厚約600nmのW膜を堆積する。上述の通り、ビアホール222内にはコンタクトプラグ208が露出していないので、W膜とコンタクトプラグ208とが短絡することはない。

【0134】この後、W膜をエッチバックしてビアホール222内のみ残留させることによりコンタクトプラグ230を形成する(図26(b))。このように、本実施形態によれば、エッチングストップ膜216の下に絶縁膜214を設けることにより、絶縁膜218がオーバーハング形状となった場合にも空孔224下にはコンタクトプラグ208は露出しないので、従来の半導体装置と比較してコンタクトプラグ230-コンタクトプラグ208間の短絡を低減することができる。

【0135】なお、本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態ではエッチングストップ膜216下に絶縁膜214を設けることにより課題を解決したが、第1実施形態による半導体装置の構造を適用し、導電性膜226によってビアホール222と空孔224とを空間的に完全に遮断してもよい。

【0136】また、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

【第8実施形態】本発明の第8実施形態による半導体装置及びその製造方法について図27乃至図29を用いて説明する。

【0137】図27は本実施形態による半導体装置の構造を示す概略断面図、図28及び図29は本実施形態による半導体装置の製造方法を示す工程断面図である。第4乃至第7実施形態ではエッチングストップ膜下に更に絶縁膜を設けた構造を層間絶縁膜に適用したが、この構造を層間絶縁膜上に埋め込み配線を形成する場合に適用すれば、配線溝を形成するエッチングを容易にすることも可能となる。

【0138】本実施形態では、第4実施形態による層間絶縁膜の構造を、第3実施形態による半導体装置の構造に適用した場合について説明する。本実施形態による半導体装置は、図10に示す第3実施形態による半導体装置において、エッチングストップ膜112下にシリコン

酸化膜よりなる絶縁膜126が更に形成されていることに特徴がある。

【0139】このように絶縁膜126を設けることにより、配線122を埋め込む配線溝118を形成するエッチング工程を容易にすることができる。次に、本実施形態による半導体装置の製造方法について説明する。まず、例えば第3実施形態による半導体装置の製造方法と同様にして、半導体基板100上にコンタクトプラグ110が埋め込まれた層間絶縁膜104を形成する(図28(a))。

【0140】次いで、このような下地基板上に、膜厚約10nmのSiO<sub>2</sub>膜よりなる絶縁膜126と、膜厚約50nmのSiN膜よりなるエッチングストップ膜112を順次堆積する。続いて、エッチングストップ膜112上に膜厚約250nmのSiO<sub>2</sub>膜よりなる絶縁膜114を堆積し、絶縁膜126、エッチングストップ膜112、絶縁膜114よりなる層間絶縁膜116を形成する(図28(b))。

【0141】この後、通常のリソグラフィ技術及び異方性エッチング技術を用い、絶縁膜114を貫通してエッチングストップ膜112に達する配線溝118を開口する。このとき、エッチング条件を、SiO<sub>2</sub>よりなる絶縁膜114に対してSiN膜よりなるエッチングストップ膜112のエッチング速度が十分に小さくなるように設定することにより、エッチングストップ膜112がほとんどエッチングされることなく配線溝118をエッチングストップ膜112上まで開口することができる。絶縁膜114のエッチングは、例えばC<sub>4</sub>F<sub>8</sub>とArとの混合ガスプラズマによる反応性イオンエッチングを用い、エッチングストップ膜112に対して選択比が20以上確保できる条件で行うことが望ましい。

【0142】絶縁膜114のエッチングに引き続き、エッチングストップ膜112を絶縁膜126上までエッチングする。このとき、エッチング条件を、SiN膜よりなるエッチングストップ膜112に対してSiO<sub>2</sub>よりなる膜絶縁膜126のエッチング速度が十分に小さくなるように設定することにより、絶縁膜126がほとんどエッチングされることなく配線溝118を絶縁膜126上まで開口することができる(図28(c))。エッチングストップ膜112のエッチングは、例えばSF<sub>6</sub>とO<sub>2</sub>とを用いた反応性イオンエッチングを用い、絶縁膜126に対して選択比が3以上確保できる条件で行うことが望ましい。

【0143】図35に示す従来の構造では、このエッチングによって下地の層間絶縁膜104やコンタクトプラグ110が露出したため、エッチングストップ膜112に対する両者のエッチング選択比のトレードオフによってエッチング条件を設定していたが、本実施形態による半導体装置の構造ではエッチングストップ膜112に対する絶縁膜126の選択比のみを考慮すればよく、配線

溝118を容易に開口することができる。

【0144】次いで、配線溝118内の絶縁膜126をエッチングし、配線溝116内にコンタクトプラグ110を露出する。このとき、配線溝118内には層間絶縁膜104が露出しているため、絶縁膜126のエッチングと同時に層間絶縁膜104もエッチングされるが、絶縁膜126の膜厚は約10nmと薄いのでオーバーエッチング量を考慮しても絶縁膜126のエッチングによる層間絶縁膜104の膜減りは充分に少ない。従って、コンタクト特性に影響を及ぼすほどの段差が配線溝118内に生じることはない(図29(a))。

【0145】なお、絶縁膜126のエッチングではコンタクトプラグ110に対して十分な選択比を得ることができるので、コンタクトプラグ110がエッチングされることもない。続いて、配線溝118の内壁及び底面に、コンタクトプラグ110に接続された導電性膜120を形成する。

【0146】この後、スパッタ法によりCu膜を堆積してリフローを行い、配線溝118内にCuを埋め込む。例えば、圧力1.5mTorr、パワー5kW、Ar流量25sccmとしてCuのスパッタを行い、温度350℃、Ar流量1000sccm、圧力80TorrとしてCuのリフローを行う。次いで、層間絶縁膜116上のCuをCMP法により除去し、配線溝118内のみCuを残存させる。例えば、アルミナ系研磨剤を用い、回転数100rpm、研磨圧力6psiとしてCMPを行う。こうして、配線溝116に埋め込まれた配線120を形成する(図29(b))。

【0147】このように、本実施形態によれば、コンタクトプラグ110が埋め込まれた層間絶縁膜104上に層間絶縁膜116に埋め込まれた配線120を形成する際に、エッチングストッパ膜110下に更に絶縁膜124を有するBLC構造を用いるので、エッチングストッパ膜110のエッチングの際にコンタクトプラグや層間絶縁膜104がエッチングされることはない。これにより、コンタクトプラグと配線120とのコンタクト特性を向上することができ、同時に半導体装置の信頼性を向上することができる。

【0148】なお、上述のプロセス条件はその一例を示したものであり、これらの数値を適当な値に変更したとしても、本発明の効果にはなんら影響を及ぼすものではない。

#### 【0149】

【発明の効果】以上の通り、本発明によれば、下地基板と、下地基板上に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜よりなり、下地基板に達する開口部が形成された層間絶縁膜と、開口部の内壁及び底部に形成された導電性膜とを設け、第1の絶縁膜に形成された開口部の開口幅を第2の絶縁膜に形成された開口部の開口幅よりも広くし、開口部内壁に形成され

た導電性膜と開口部の底部に形成された導電性膜とが境界で連続するように半導体装置を構成するので、開口部に導電性材料を埋め込む際に、導電性材料のソースガスによる下地基板の浸食や、導電性材料と下地基板との反応を防止することができる。これにより、半導体装置の信頼性を向上することができる。

【0150】また、第2の絶縁膜下の第1の絶縁膜に形成された開口部内に導電性膜を埋め込めば、下地基板を開口部内から隔離することができる。また、下地基板と、下地基板上に形成され、深さによって開口幅が異なる開口部が形成された層間絶縁膜と、開口部の内壁及び底部に形成された導電性膜とを設け、開口部の底部の開口幅が、開口部における最小の開口幅とほぼ等しく、開口部の底部の下地基板は導電性膜により覆われるように半導体装置を構成するので、下地基板を導電成膜によって完全に開口部内から隔離することができる。これにより、開口部内に導電性材料を埋め込む際に、導電性材料のソースガスによる下地基板の浸食や、導電性材料と下地基板との反応を防止することができる。

【0151】また、上記の半導体装置には、下地基板上に形成された第1の絶縁膜と、第1の絶縁膜上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された第3の絶縁膜とを有し、第2の絶縁膜に形成された開口部の開口幅が第3の絶縁膜に形成された開口部の開口幅よりも広く、第1の絶縁膜に形成された開口部の開口幅が第3の絶縁膜に形成された開口部の開口幅とほぼ等しい層間絶縁膜を適用することができる。

【0152】また、上記の半導体装置の構造は、複数の配線層を有する多層配線構造において、いずれの配線層においても適用することができる。また、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、第1の絶縁膜上に、第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、第2の絶縁膜を異方性エッチングすることにより、第1の絶縁膜に達する開口部を形成する第1の開口部形成工程と、開口部内の第1の絶縁膜を、横方向にもエッチングが進行する方法により除去することにより、開口部を下地基板上まで開口すると同時に、第2の絶縁膜下の第1の絶縁膜をエッチングして空隙を形成する第2の開口部形成工程と、開口部内に下地基板が露出しないように、少なくとも空隙の開口部を塞ぐ導電性膜を開口部内に堆積する導電性膜堆積工程とにより半導体装置を製造することにより、導電成膜によって開口部内と下地基板とを完全に隔離することができる。これにより、後工程で開口部内に導電性材料を埋め込む際に、導電性材料のソースガスによって下地基板が浸食されたり、下地基板と導電性材料とが反応することはない。これにより、半導体装置の信頼性を向上することができる。

【0153】また、上記の半導体装置の製造方法において、導電性膜をコリメートスパッタ法により堆積すれ

ば、空隙の開口部を容易に塞ぐことができる。また、上記の半導体装置の製造方法において、開口部の底部における導電性膜の膜厚が、第1の絶縁膜よりも厚くなるように導電性膜を堆積すれば、空隙の開口部を容易に塞ぐことができる。

【0154】また、上記の半導体装置の製造方法において、導電性膜をCVD法により堆積すれば、導電性膜を空隙の中に埋め込むことができる。また、上記の半導体装置の製造方法において、開口部の底部における導電性膜の膜厚が第1の絶縁膜の膜厚の1/2以上となるように導電性膜を堆積すれば、空隙の開口部を容易に埋め込むことができる。

【0155】また、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、第1の絶縁膜上に、第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、第2の絶縁膜上に、第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、第3の絶縁膜を異方性エッチングすることにより、第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、開口部内の第2の絶縁膜を、横方向にもエッチングが進行する方法により除去することにより、開口部を第1の絶縁膜上まで開口する第2の開口部形成工程と、開口部内の第1の絶縁膜を異方性エッチングすることにより、開口部を下地基板まで開口する第3の開口部形成工程と、少なくとも開口部内に露出した下地基板を覆うように導電性膜を堆積する導電性膜堆積工程とにより半導体装置を製造することにより、導電成膜によって開口部内と下地基板とを完全に隔離することができる。これにより、SAC構造を用いるために第2の絶縁膜を等方性エッチングする必要がある場合にも、導電性材料を埋め込む際のソースガスによる基板浸食を防止することができる。また、導電性材料と下地基板との反応を防止することができる。

【0156】また、上記の半導体装置の製造方法において、第1の絶縁膜をエッチングする際のオーバーエッチング量を約50%以下に設定すれば、下地基板に与えるダメージを抑えて開口部を形成することができる。また、本発明による半導体装置の製造方法は、複数の配線層を有する多層配線構造において、いずれの配線層を形成する場合においても適用することができる。

【0157】また、下地基板上に第1の絶縁膜を堆積する第1の絶縁膜堆積工程と、第1の絶縁膜上に、第1の絶縁膜より厚く、第1の絶縁膜とエッチング特性の異なる第2の絶縁膜を堆積する第2の絶縁膜堆積工程と、第2の絶縁膜上に、第2の絶縁膜より厚く、第2の絶縁膜とエッチング特性の異なる第3の絶縁膜を堆積する第3の絶縁膜堆積工程と、第3の絶縁膜を、第2の絶縁膜をストップとしてエッチングし、第2の絶縁膜に達する開口部を形成する第1の開口部形成工程と、開口部内の第2の絶縁膜を、第1の絶縁膜をストップとしてエッチン

グし、開口部を第1の絶縁膜上まで開口する第2の開口部形成工程と、開口部内の第1の絶縁膜をエッチングし、開口部を下地基板まで開口する第3の開口部形成工程とにより半導体装置を製造することにより、下地基板に与える影響を低減しつつ開口部を形成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

10 【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】コリメートスパッタ法の原理を説明する図である。

【図5】本発明の第1実施形態による半導体装置の製造方法における効果を説明する図である。

【図6】本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

20 【図7】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

【図8】BLC構造を適用した埋め込み配線を説明する図である。

【図9】Cuを用いた埋め込み配線における課題を説明する図である。

【図10】本発明の第3実施形態による半導体装置の構造を示す平面図及び断面図である。

【図11】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

30 【図12】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図13】本発明の第4実施形態による半導体装置の構造を示す概略断面図である。

【図14】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図15】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図16】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

40 【図17】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図18】本発明の第5実施形態による半導体装置の構造を示す平面図及び断面図である。

【図19】本発明の第5実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図20】本発明の第5実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図21】本発明の第6実施形態による半導体装置の構造を示す概略断面図である。

50 【図22】本発明の第6実施形態による半導体装置の製

造方法を示す工程断面図（その１）である。

【図 23】本発明の第 6 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 24】本発明の第 7 実施形態による半導体装置の構造を示す概略断面図である。

【図 25】本発明の第 7 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 26】本発明の第 7 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 27】本発明の第 8 実施形態による半導体装置の構造を示す概略断面図である。

【図 28】本発明の第 8 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 29】本発明の第 8 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 30】SAC 構造を有する従来の半導体装置の構造を説明する図である。

【図 31】BLC 構造を有する従来の半導体装置の構造を説明する図である。

【図 32】従来の半導体装置の問題点を説明する図（その 1）である。

【図 33】従来の半導体装置の問題点を説明する図（その 2）である。

【図 34】従来の半導体装置の問題点を説明する図（その 3）である。

【図 35】従来の半導体装置の問題点を説明する図（その 4）である。

【図 36】従来の半導体装置の問題点を説明する図（その 5）である。

【図 37】従来の半導体装置の問題点を説明する図（その 6）である。

【図 38】従来の半導体装置の問題点を説明する図（その 7）である。

【図 39】従来の半導体装置の問題点を説明する図（その 8）である。

【符号の説明】

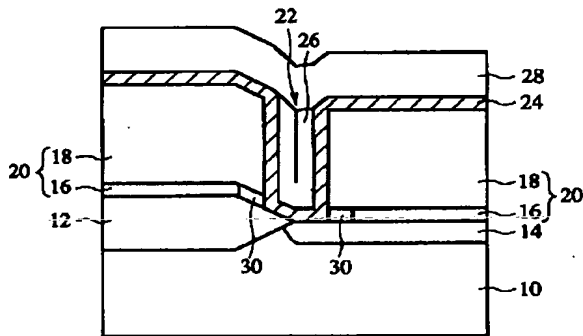
10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
24…導電性膜  
26…プラグ  
28…配線層  
30…空孔  
32…絶縁膜  
34…ゲート酸化膜  
36…WF<sub>6</sub>分子

38…絶縁膜  
40…ゲート電極  
42…サイドウォール  
44…C o S i<sub>2</sub>膜  
46…S O G 膜  
48…レジスト膜  
50…ターゲット  
52…基板  
54…コリメータ  
10 60…素子領域  
62…ゲート電極  
64…ゲート電極  
66…配線  
68…配線溝  
100…半導体基板  
102…コンタクトホール  
104…層間絶縁膜  
106…導電性膜  
108…プラグ  
20 110…コンタクトプラグ  
112…エッチングストップ膜  
114…絶縁膜  
116…層間絶縁膜  
118…配線溝  
120…導電性膜  
122…配線  
124…空孔  
126…絶縁膜  
128…絶縁膜  
30 130…エッチングストップ膜  
132…絶縁膜  
134…層間絶縁膜  
136…ビアホール  
138…空孔  
140…導電性膜  
142…プラグ  
144…コンタクトプラグ  
146…高抵抗反応物  
200…半導体基板  
40 202…層間絶縁膜  
204…導電性膜  
206…プラグ  
208…コンタクトプラグ  
210…配線  
212…導電性膜  
214…絶縁膜  
216…エッチングストップ膜  
218…絶縁膜  
220…層間絶縁膜  
50 222…ビアホール

224...空孔  
226...導電性膜

【図1】

本発明の第1実施形態による半導体装置の構造を示す概略断面図

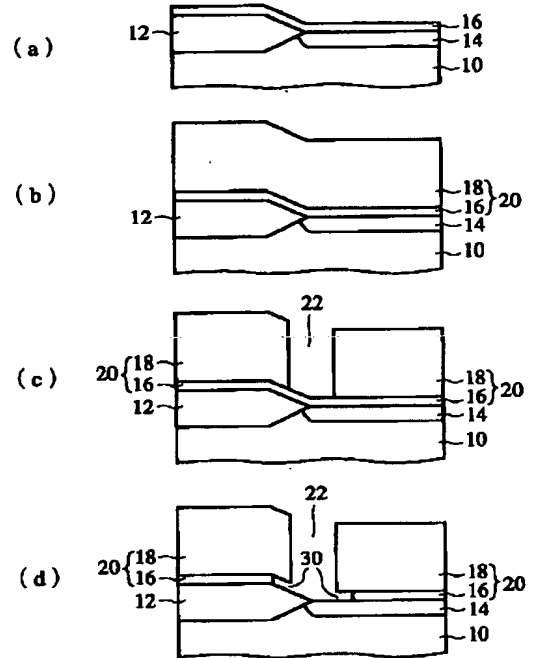


10...半導体基板  
12...素子分離膜  
14...拡散層  
16...エポキシ・ストップ膜  
18...絶縁膜  
20...層間絶縁膜  
22...コンタクトパッド  
24...導電性膜  
26...プラグ  
28...配線層  
30...空孔

\* 228...プラグ  
\* 230...コンタクトプラグ

【図2】

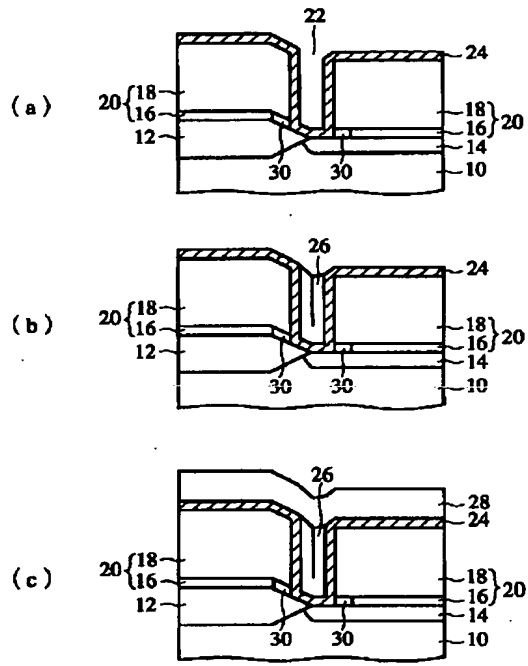
本発明の第1実施形態による半導体装置の製造方法を示す工程断面図(その1)



10...半導体基板  
12...素子分離膜  
14...拡散層  
16...エポキシ・ストップ膜  
18...絶縁膜  
20...層間絶縁膜  
22...コンタクトパッド  
30...空孔

【図3】

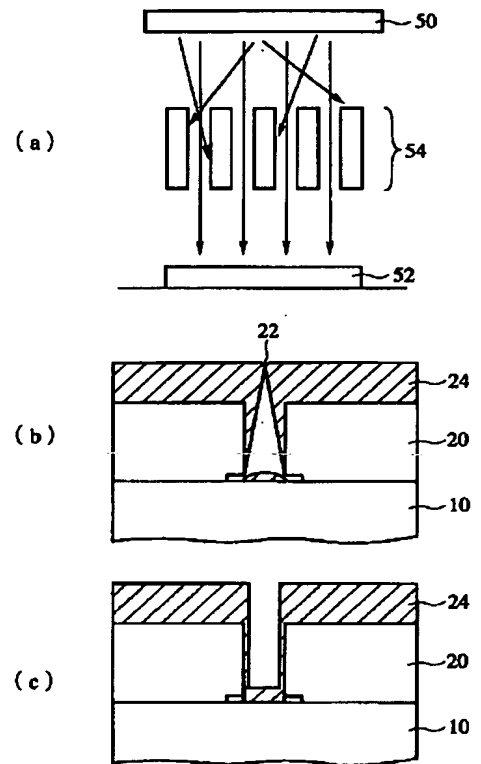
本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



24…導電性膜  
26…プラタ  
28…配線層

【図4】

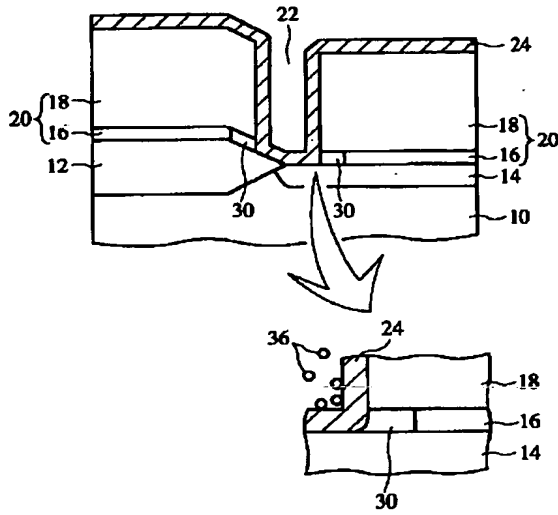
コリメートスパッタ法の原理を説明する図



10…半導体基板  
20…層間絶縁膜  
22…コンタクト  
24…導電性膜  
50…ターゲット  
52…基板  
54…コリメート

【図5】

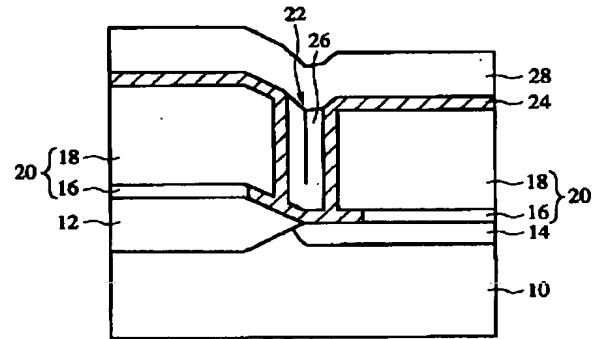
本発明の第1実施形態による半導体装置の製造方法における効果を説明する図



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトパッド  
24…導電性膜  
30…空孔  
36… $WF_6$ 分子

【図6】

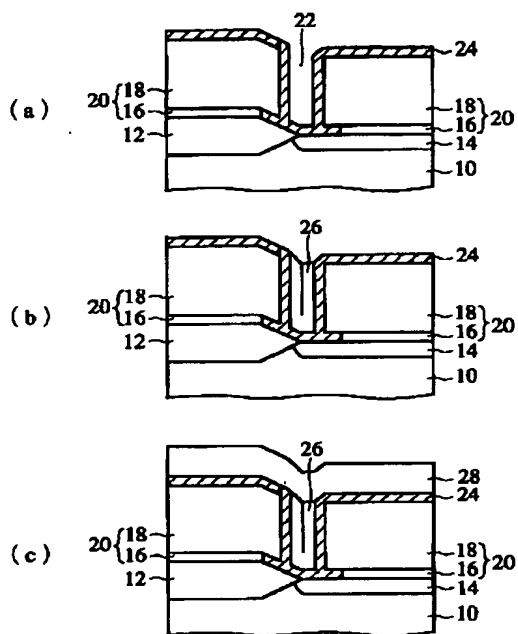
本発明の第2実施形態による半導体装置の構造を示す概略断面図



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトパッド  
24…導電性膜  
26…フッ素  
28…配線層

【図7】

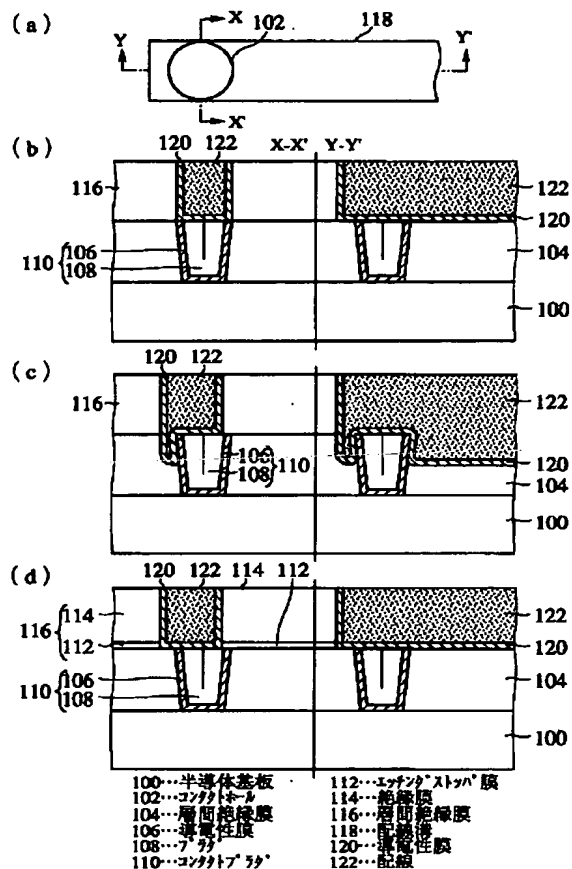
本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図



- |               |             |
|---------------|-------------|
| 10…半導体基板      | 20…層間絶縁膜    |
| 12…素子分離膜      | 22…コンタクトホール |
| 14…拡散層        | 24…導電性膜     |
| 16…エッチングストップ膜 | 26…7°ラタ     |
| 18…絶縁膜        | 28…配線層      |

【図8】

BLC構造を適用した埋め込み配線を説明する図

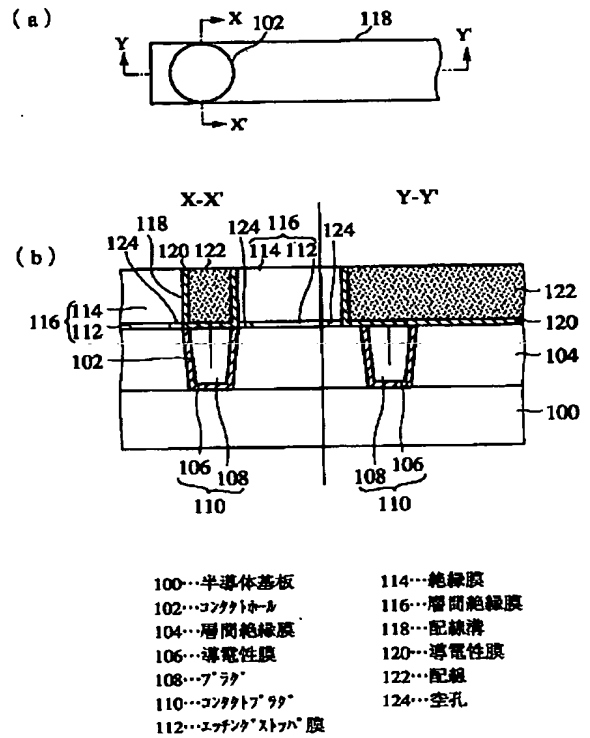


- |              |                |
|--------------|----------------|
| 100…半導体基板    | 112…エッチングストップ膜 |
| 102…コンタクトホール | 114…絶縁膜        |
| 104…層間絶縁膜    | 116…層間絶縁膜      |
| 106…導電性膜     | 118…配線層        |
| 108…7°ラタ     | 120…導電性膜       |
| 110…コンタクトラタ  | 122…配線         |



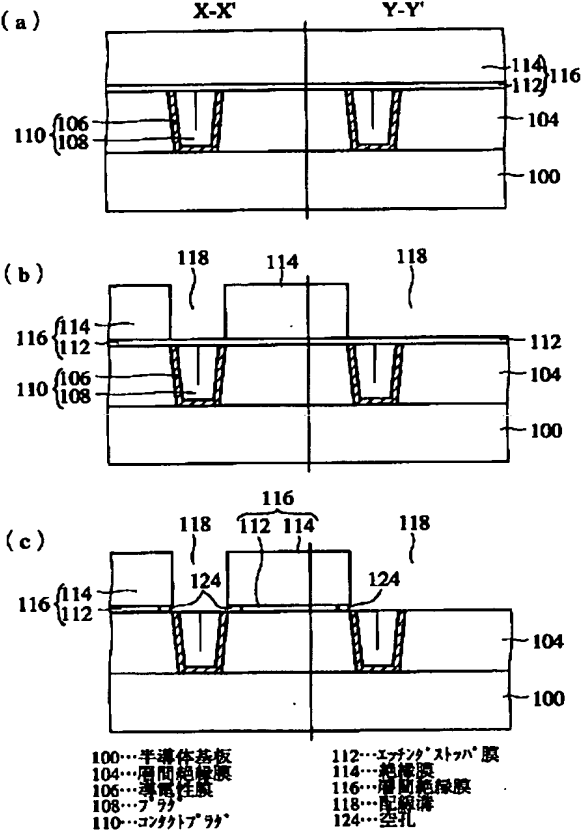
【図 10】

本発明の第3実施形態による半導体装置の構造を示す  
平面図及び断面図



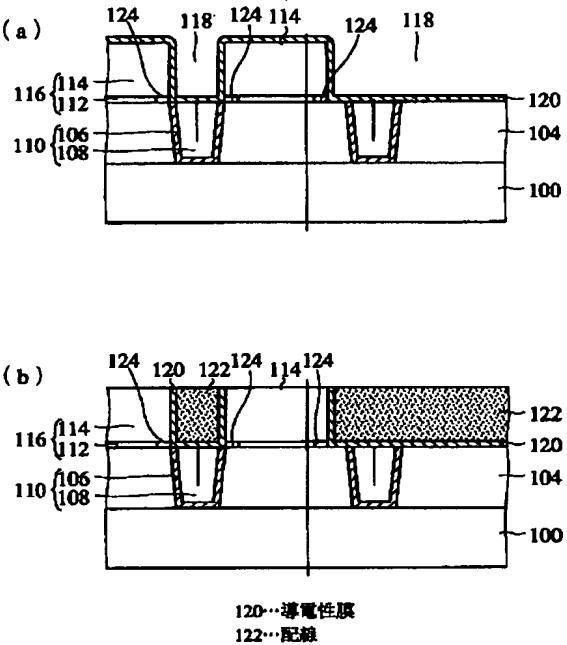
【図 1 1】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



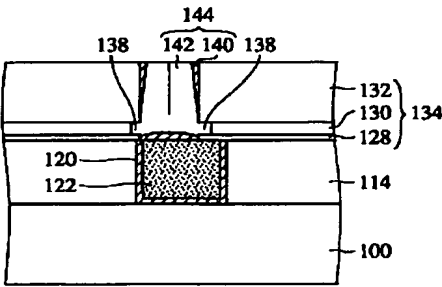
【図 1 2】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



【図 2 1】

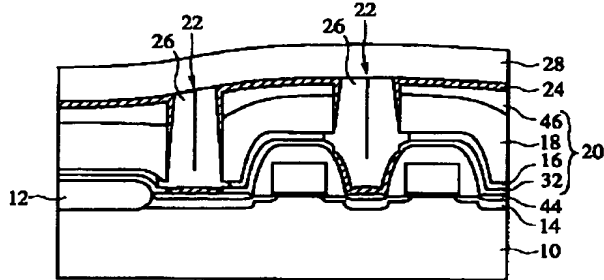
本発明の第6実施形態による半導体装置の構造を示す  
概略断面図



100…半導体基板  
114…層間絶縁膜  
120…電性膜  
122…配線  
128…絶縁膜  
130…エッチングストップ膜  
132…絶縁膜  
134…層間絶縁膜  
138…空孔  
140…導電性膜  
142…プラ  
144…コンタクトラ

【図13】

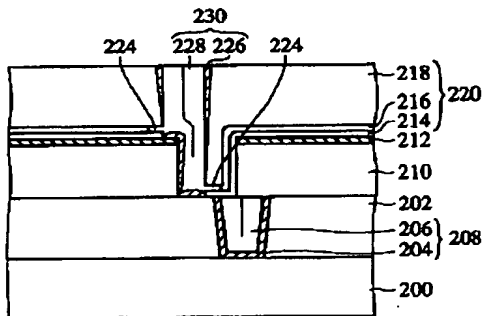
本発明の第4実施形態による半導体装置の構造を示す概略断面図



- |               |                       |
|---------------|-----------------------|
| 10…半導体基板      | 24…導電性膜               |
| 12…素子分離膜      | 26…プラザ                |
| 14…拡散層        | 28…配線層                |
| 16…エッチングストップ膜 | 32…絶縁膜                |
| 18…絶縁膜        | 44… $\text{CoSi}_2$ 膜 |
| 20…層間絶縁膜      | 46…SOG膜               |
| 22…コンタクトパッド   |                       |

【図24】

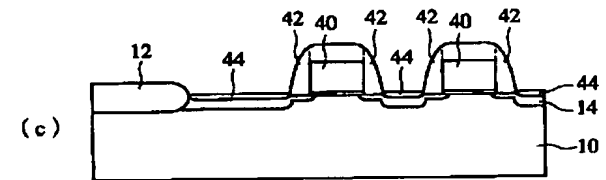
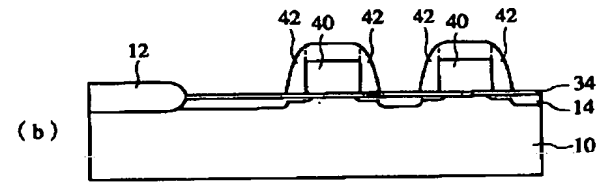
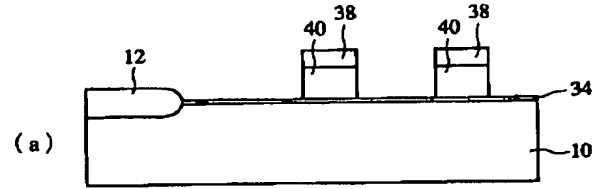
本発明の第7実施形態による半導体装置の構造を示す概略断面図



- |              |                |
|--------------|----------------|
| 200…半導体基板    | 216…エッチングストップ膜 |
| 202…層間絶縁膜    | 218…絶縁膜        |
| 204…導電性膜     | 220…層間絶縁膜      |
| 206…プラザ      | 224…空孔         |
| 208…コンタクトパッド | 226…導電性膜       |
| 210…配線       | 228…プラザ        |
| 212…導電性膜     | 230…コンタクトパッド   |
| 214…絶縁膜      |                |

【図14】

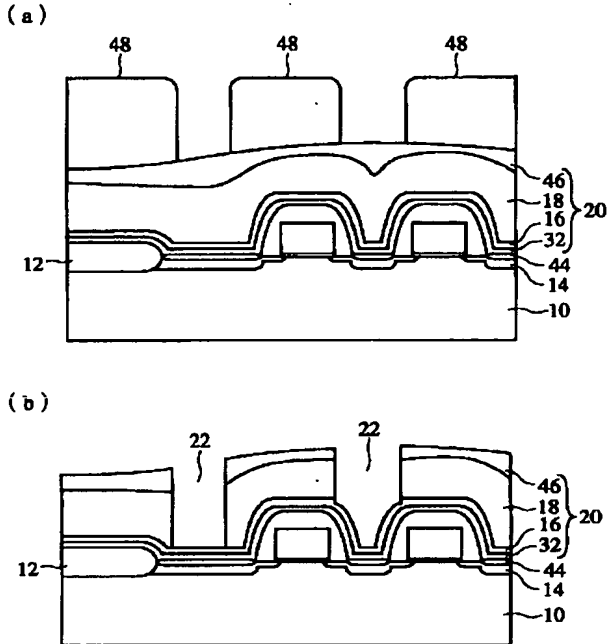
本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その1）



- |           |                       |
|-----------|-----------------------|
| 10…半導体基板  | 38…絶縁膜                |
| 12…素子分離膜  | 40…ゲート電極              |
| 14…拡散層    | 42…ゲートパッド             |
| 34…ゲート酸化膜 | 44… $\text{CoSi}_2$ 膜 |

【図15】

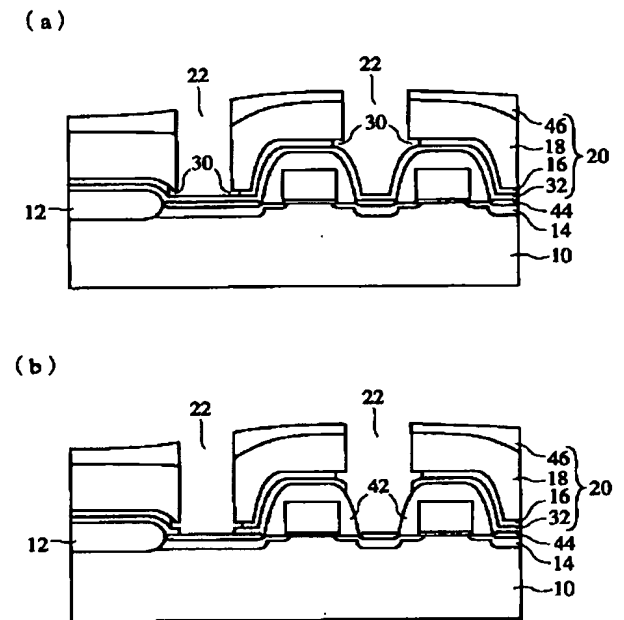
本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
32…絶縁膜  
46…SOG膜  
48…レジスタ膜

【図16】

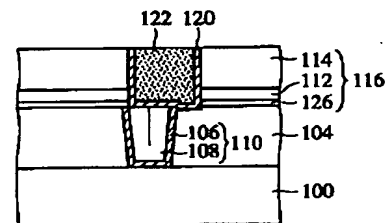
本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



30…空孔

【図27】

本発明の第8実施形態による半導体装置の構造を  
示す概略断面図

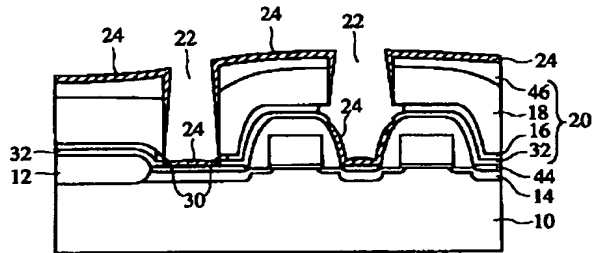


100…半導体基板  
104…層間絶縁膜  
106…導電性膜  
108…パッド  
110…コンタクトパッド  
112…エッチングストップ膜  
114…絶縁膜  
116…層間絶縁膜  
120…導電性膜  
122…配線  
126…絶縁膜

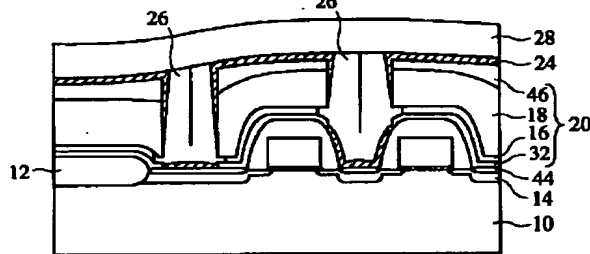
【図17】

本発明の第4実施形態による半導体装置の製造方法を示す  
工程断面図（その4）

(a)



(b)

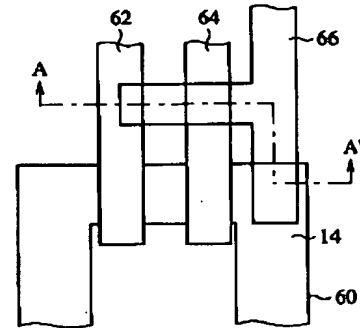


24…導電性膜  
26…ゲート  
28…配線層

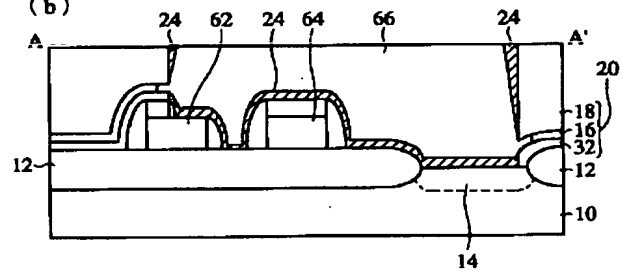
【図18】

本発明の第5実施形態による半導体装置の構造を示す  
平面図及び断面図

(a)



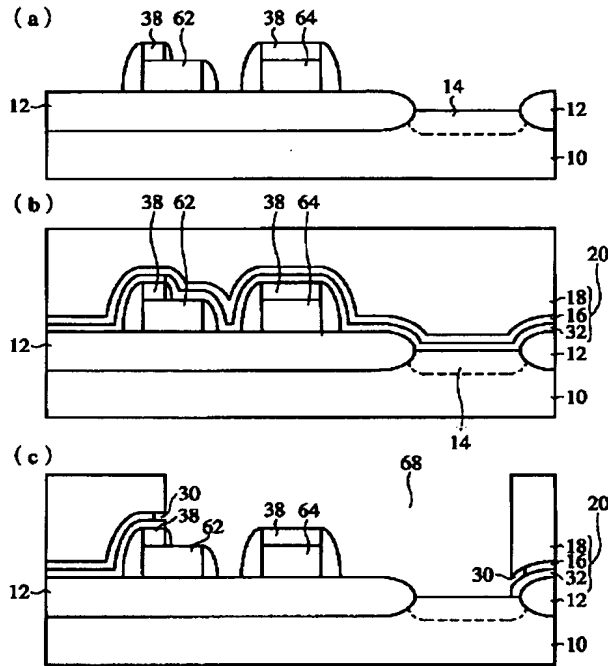
(b)



10…半導体基板 30…空孔  
12…素子分離膜 32…絶縁膜  
14…拡散層 60…素子領域  
16…チャンネルストップ膜 62…ゲート電極  
18…絶縁膜 64…ゲート電極  
20…層間絶縁膜 66…配線  
24…導電性膜

【図19】

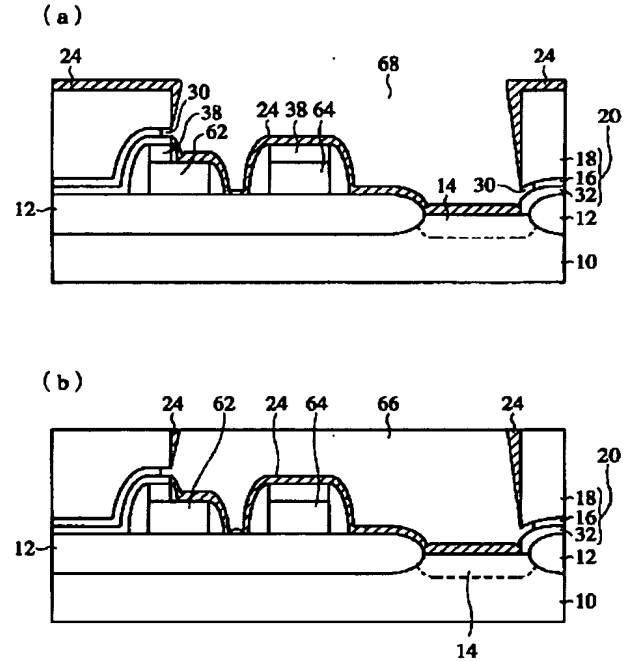
本発明の第5実施形態による半導体装置の製造方法を  
示す工程断面図（その1）



- |               |          |
|---------------|----------|
| 10…半導体基板      | 32…絶縁膜   |
| 12…素子分離膜      | 38…絶縁膜   |
| 14…拡散層        | 62…ゲート電極 |
| 16…エッチングストップ膜 | 64…ゲート電極 |
| 18…絶縁膜        | 68…配線溝   |
| 20…層間絶縁膜      |          |
| 30…空孔         |          |

【図20】

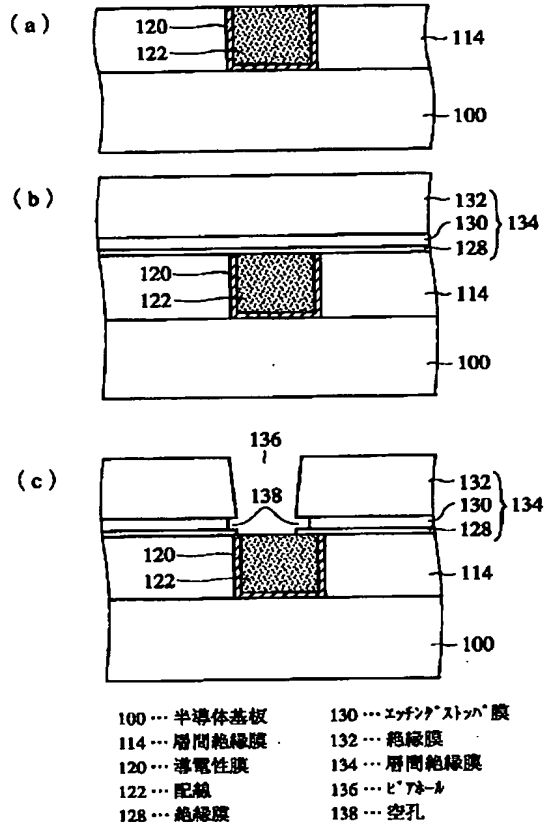
本発明の第5実施形態による半導体装置の製造方法を  
示す工程断面図（その2）



- |         |
|---------|
| 24…導電性膜 |
| 66…配線   |

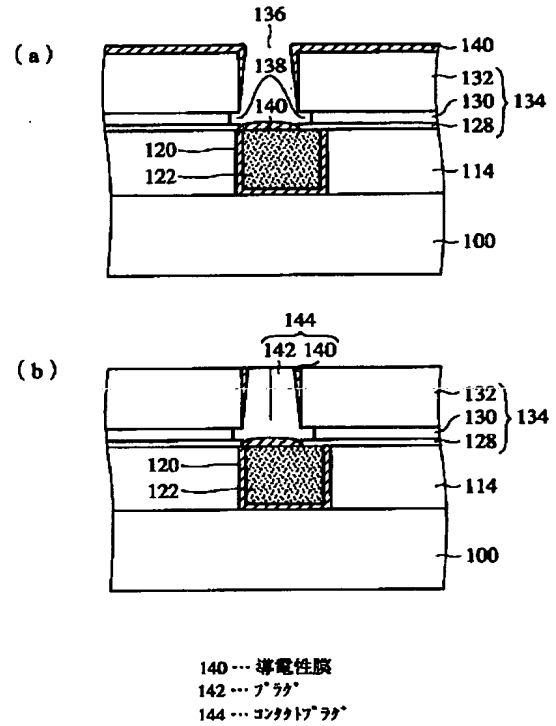
【図22】

本発明の第6実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



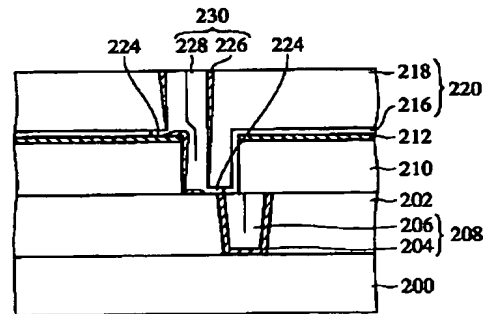
【図23】

本発明の第6実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



【図34】

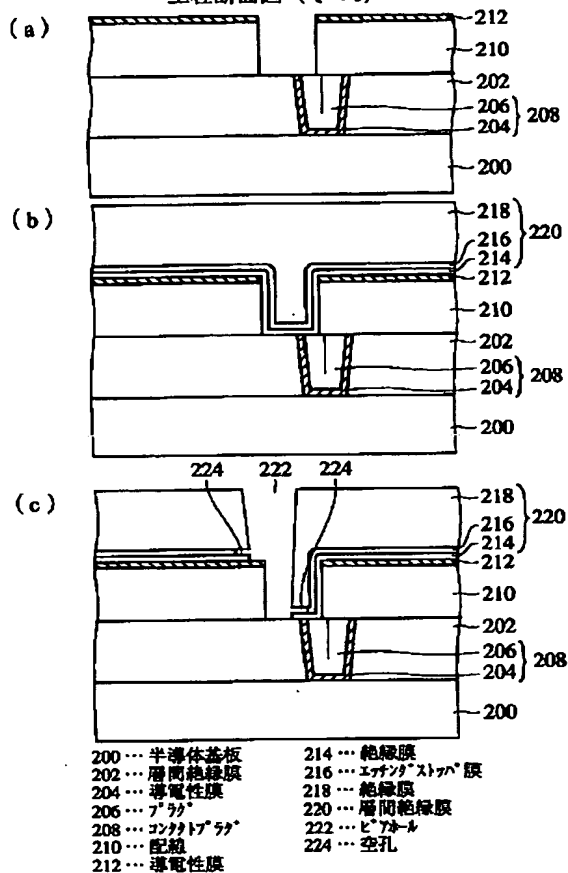
従来の半導体装置の問題点を説明する図（その3）



200 … 半導体基板  
202 … 層間絶縁膜  
204 … 導電性膜  
206 … プラ  
208 … コンタクトプラ  
210 … 配線  
212 … 導電性膜  
216 … エッチングストップ膜  
218 … 絶縁膜  
220 … 層間絶縁膜  
222 … 空孔  
224 … 導電性膜  
226 … プラ  
228 … コンタクトプラ  
230 … コンタクトプラ

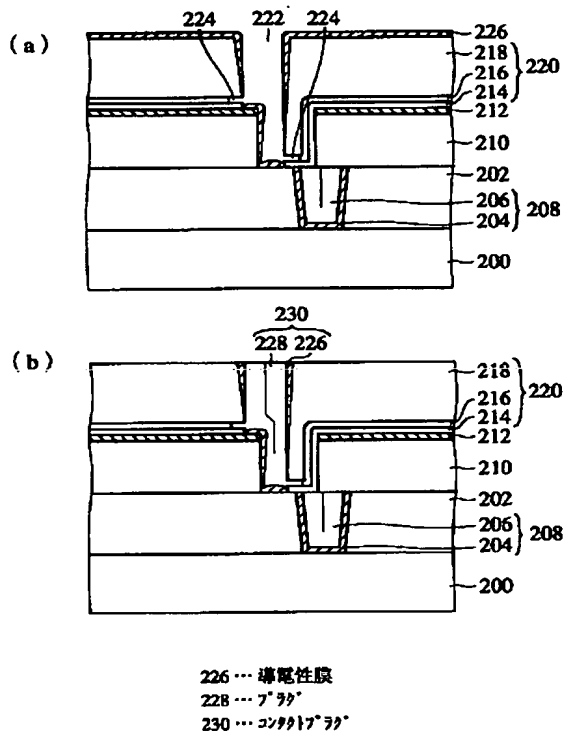
【図25】

本発明の第7実施形態による半導体装置の製造方法を示す  
工程断面図（その1）



【図26】

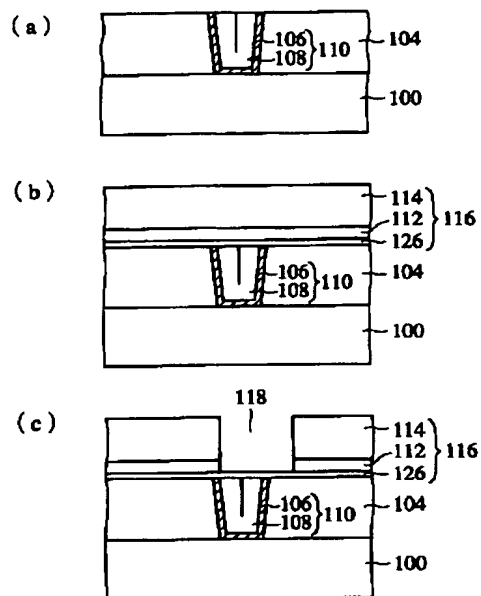
本発明の第7実施形態による半導体装置の製造方法を示す  
工程断面図（その2）





【図28】

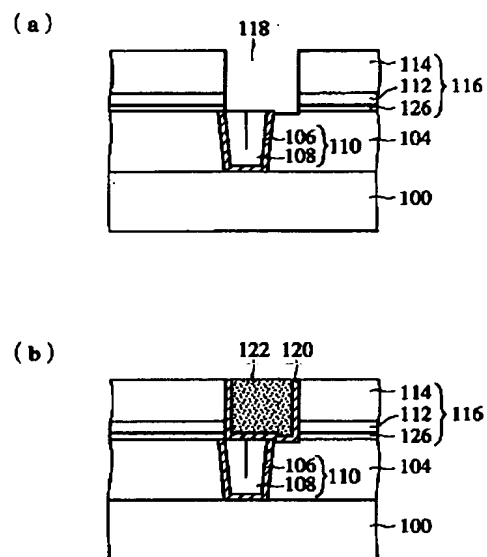
本発明の第8実施形態による半導体装置の製造方法を  
示す工程断面図（その1）



100…半導体基板  
104…層間絶縁膜  
106…導電性膜  
108…プラグ  
110…コンタクト  
112…エポキシ“ストップ”膜  
114…絶縁膜  
116…層間絶縁膜  
118…配線溝  
126…絶縁膜

【図29】

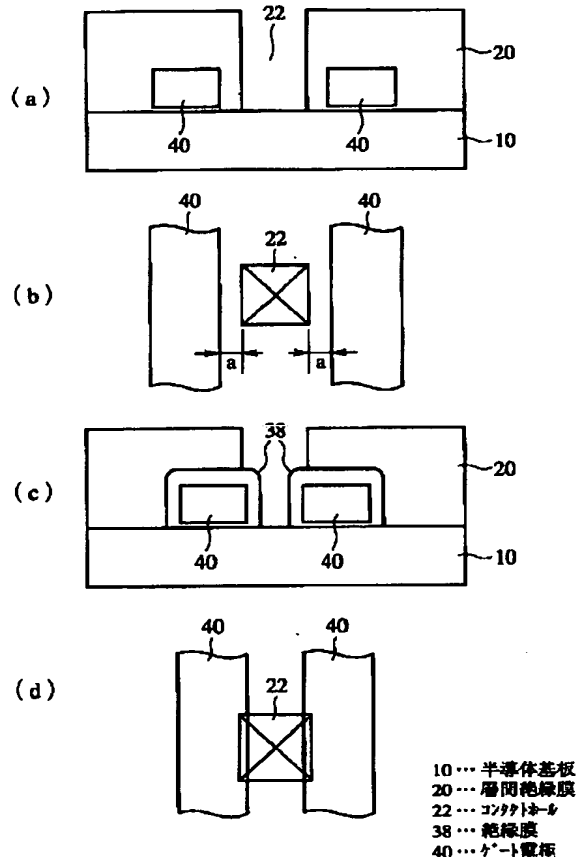
本発明の第8実施形態による半導体装置の製造方法を  
示す工程断面図（その2）



120…導電性膜  
122…配線

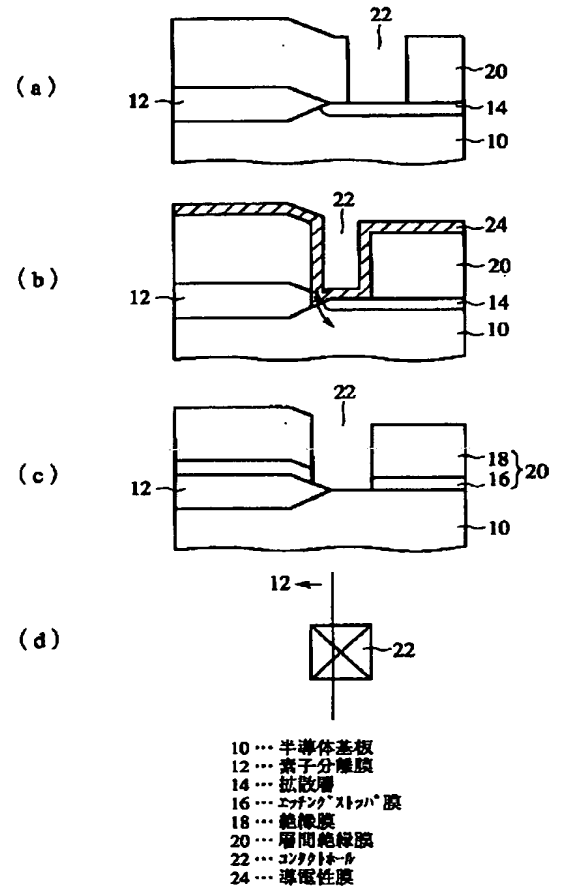
【図30】

SAC構造を有する従来の半導体装置の構造を説明する図



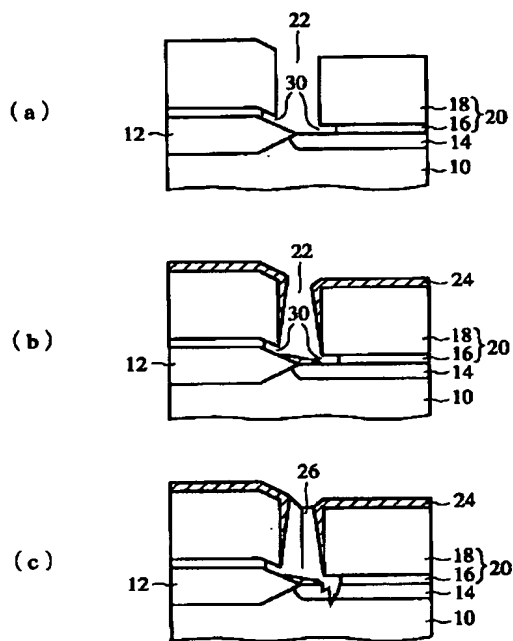
【図31】

BLC構造を有する従来の半導体装置の構造を説明する図



【図32】

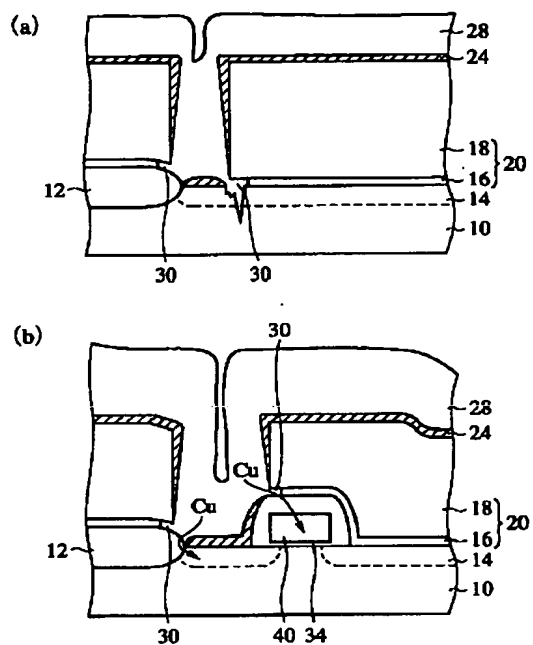
従来の半導体装置の問題点を説明する図（その1）



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
24…導電性膜  
26…ブリッジ

【図33】

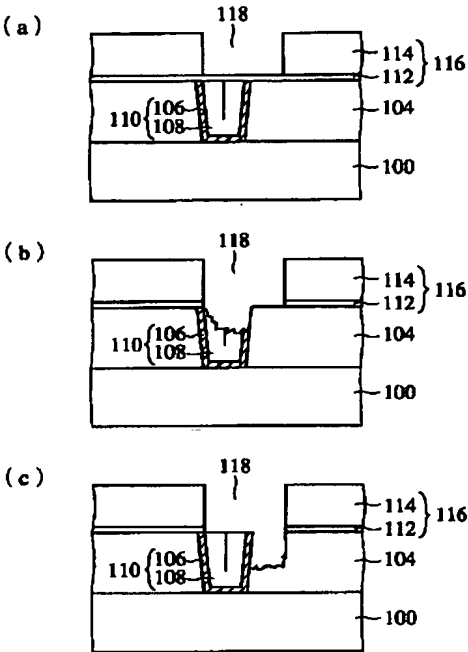
従来の半導体装置の問題点を説明する図（その2）



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
24…導電性膜  
28…配線層  
30…空孔  
34…ゲート酸化膜  
40…ゲート電極

【図35】

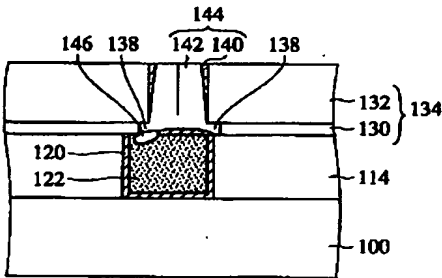
従来の半導体装置の問題点を説明する図（その4）



100…半導体基板  
104…層間絶縁膜  
106…導電性膜  
108…ゲート  
110…コンタクトゲート  
112…エッチングストップ膜  
114…絶縁膜  
116…層間絶縁膜  
118…配線溝

【図36】

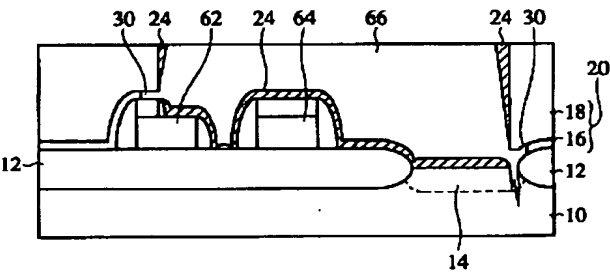
従来の半導体装置の問題点を説明する図（その5）



100…半導体基板  
114…層間絶縁膜  
120…導電性膜  
122…配線  
130…エッチングストップ膜  
132…絶縁膜  
134…層間絶縁膜  
138…空孔  
140…導電性膜  
142…ゲート  
144…コンタクトゲート  
146…高抵抗反応物

【図39】

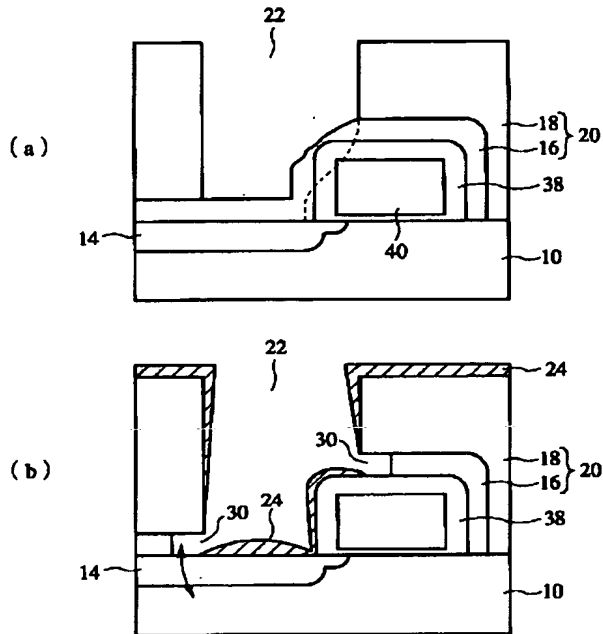
従来の半導体装置の問題点を説明する図（その8）



10…半導体基板  
12…素子分離膜  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
24…導電性膜  
30…空孔  
62…ゲート電極  
64…ゲート電極  
66…配線

【図37】

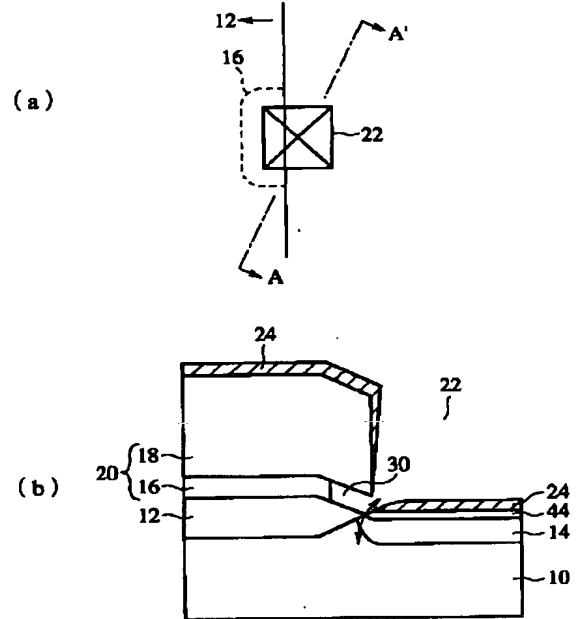
従来の半導体装置の問題点を説明する図（その6）



10…半導体基板  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
24…導電性膜  
38…絶縁膜  
40…ゲート電極

【図38】

従来の半導体装置の問題点を説明する図（その7）



10…半導体基板  
12…素子分離層  
14…拡散層  
16…エッチングストップ膜  
18…絶縁膜  
20…層間絶縁膜  
22…コンタクトホール  
24…導電性膜  
30…空孔  
44…シヤイト層

フロントページの続き

(51) Int. Cl. 6

H05H 1/46

識別記号

庁内整理番号

F I

H01L 21/88

技術表示箇所

F